

UNIVERSIDADE FEDERAL DE SANTA CATARINA

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

INVERSORES QUASE-RESSONANTES MODULADOS

POR LARGURA DE PULSO

**DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA CATARINA
PARA A OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA**

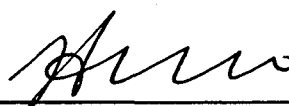
ALEXANDRE FERRARI DE SOUZA

FLORIANÓPOLIS, MARÇO DE 1992.

**INVERSORES QUASE-RESSONANTES MODULADOS
POR LARGURA DE PULSO**

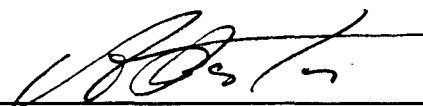
ALEXANDRE FERRARI DE SOUZA

ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA OBTENÇÃO DO TÍTULO DE
MESTRE EM ENGENHARIA, ESPECIALIDADE ENGENHARIA ELÉTRICA E APROVADA
EM SUA FORMA FINAL PELO CURSO DE PÓS-GRADUAÇÃO



Prof. Ivo Barbi, Dr. Ing.

Orientador



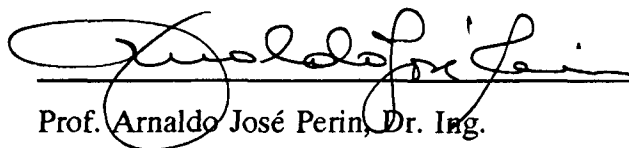
Prof. João Pedro Assumpção Bastos, Dr. D'Etát.

Coordenador do Curso de Pós-Graduação em
Engenharia Elétrica

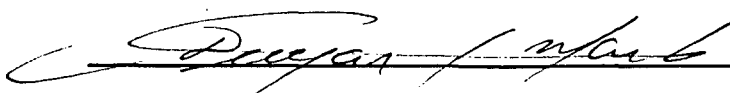
BANCA EXAMINADORA:



Prof. Ivo Barbi, Dr. Ing.



Prof. Arnaldo José Perin, Dr. Ing.



Prof. Denizar Cruz Martins, Dr.



Prof. Enio Valmor Kassick, Dr.

A Deus

A meus Pais
Joel e Nadir

AGRADECIMENTOS

Ao Prof. Ivo Barbi, pela orientação brilhante, segura e objetiva. Ao Prof. Ivo, o agradecimento pela amizade e acompanhamento dispensado durante a realização deste trabalho de pesquisa.

Aos Profs. Arnaldo José Perin e Denizar Cruz Martins, pela amizade, dedicação e estímulo que sempre dispensaram.

Aos demais professores do LAMEP pela amizade e contribuições dadas no decorrer deste trabalho.

Aos meus colegas e amigos do laboratório, pelo companheirismo e questionamentos enriquecedores levantados durante a pesquisa.

Aos técnicos do Laboratório de Eletrônica de Potência.

Às secretárias do laboratório, pela atenção e presteza dispensadas.

À Universidade Federal de Santa Catarina e ao CNPQ, pelo apoio financeiro.

A meu pai e irmãos, pela compreensão e estímulo que sempre demonstraram.

A todas as pessoas que de uma forma ou de outra contribuíram para a realização desta pesquisa

SUMÁRIO

SIMBOLOGIA	x
RESUMO	xiii
ABSTRACT	xiv
INTRODUÇÃO GERAL	xv
CAPÍTULO I - TOPOLOGIAS INVERSORAS QUASE-RESSONANTES,	
PRINCÍPIO DE OPERAÇÃO E ANÁLISE	1
1.1 - INTRODUÇÃO	1
1.2 - SÍNTESE DAS TOPOLOGIAS	1
1.3 - PRINCÍPIO DE OPERAÇÃO	4
1.3.1 - Descrição do Funcionamento	5
1.3.2 - Formas de Onda	8
1.3.3 - Análise Quantitativa	10
1.4 - ESTUDO DA COMUTAÇÃO	20
1.5 - ESFORÇOS NOS SEMICONDUTORES DE POTÊNCIA E COMPONENTES PASSIVOS DO CIRCUITO.	22
1.6 - CONCLUSÕES	26
CAPÍTULO II - MODULAÇÃO PWM SENOIDAL A DOIS NÍVEIS E	
ANÁLISE DO FILTRO DE SAÍDA	27
2.1 - INTRODUÇÃO	27
2.2 - MODULAÇÃO POR PULSO ÚNICO (SPM - Single-Pulse Modulation)	28
2.3 - MODULAÇÃO POR PULSOS MÚLTIPLOS (MPM - Multiple-	

Pulse Modulation).	29
2.4 - MODULAÇÃO PWM SENOIDAL A DOIS NÍVEIS .	30
2.5 - DETERMINAÇÃO DAS CORRENTES MÉDIAS E EFICAZES NOS SEMICONDUTORES.	32
2.6 - PROJETO DO FILTRO DE SAÍDA .	40
2.6.1 - Resposta em Frequência do Filtro .	41
2.6.2 - Efeitos dos Valores de L e C no Filtro de Saída. .	43
2.6.2.1 - Influência do Capacitor sobre a Corrente do Inversor. .	44
2.6.2.2 - Regulação de Tensão. .	47
2.6.2.3 - Determinação das Relações para Harmônicos de Ordem n. .	49
2.7 - CONCLUSÕES .	53
 CAPÍTULO III - PROJETO DO INVERSOR PROPOSTO .	54
3.1 - INTRODUÇÃO .	54
3.2 - PROCEDIMENTO PARA PROJETO .	54
3.3 - EXEMPLO DE PROJETO .	57
3.3.1 - Especificações do Inversor .	58
3.3.2 - Cálculo dos Parâmetros do Inversor .	58
3.4 - RESULTADOS DE SIMULAÇÃO .	66
3.4.1 - Inversor Alimentando Carga Linear. .	67
3.5 - DIMENSIONAMENTO DO INVERSOR .	75
3.5.1 - Indutor de Filtro (L_f). .	75
3.5.2 - Indutores de Ressonância (L_{r1} e L_{r2}). .	77
3.5.3 - Capacitores de Ressonância (C_{r1} e C_{r2}). .	77
3.5.4 - Transistores de Potência. .	78
3.5.4.1 - Transistores Principais (M_{p1} a M_{p4}). .	78
3.5.4.2 - Transistores Auxiliares (M_{a1} a M_{a4}). .	78
3.5.5 - Capacitor de Saída do Retificador (C_o). .	79

3.5.6 - Ponte Retificadora (D_{r1} a D_{r4}).	79
3.6 - CONCLUSÕES	80

CAPÍTULO IV - CIRCUITOS LÓGICOS DA MODULAÇÃO PWM E DO

COMANDO DE GATE DOS MOSFETS	81
4.1 - INTRODUÇÃO	81
4.2 - GERAÇÃO DO PADRÃO DE MODULAÇÃO	81
4.3 - CIRCUITO LÓGICO DE COMANDO	83
4.3.1 - Circuito de Leitura do Padrão de Modulação	83
4.3.2 - Geração do Sinal de Clock Auxiliar.	84
4.3.3 - Geração dos Tempos Mortos.	85
4.3.4 - Geração dos Sinais das Chaves Auxiliares	86
4.3.5 - Diagrama Completo do Circuito Lógico	87
4.4 - CIRCUITO DE COMANDO DE GATE DOS MOSFETs	89
4.4.1 - O Integrado IR 2110	89
4.4.2 - Circuito de Drive do Inversor	91
4.5 - CIRCUITO DE PROTEÇÃO CONTRA SOBRECORRENTE	92
4.6 - CONCLUSÕES	93

CAPÍTULO V - ESTUDOS EXPERIMENTAIS COM O INVERSOR

PROPOSTO	95
5.1 - INTRODUÇÃO	95
5.2 - RESULTADOS EXPERIMENTAIS OBTIDOS	95
5.2.1 - Operação do Inversor Alimentando Carga Linear.	97
5.2.2 - Operação do Inversor Alimentando Carga Não-Linear.	98
5.2.3 - Aspectos do Comando de Gate dos MOSFETs.	100
5.2.4 - Detalhes da Comutação Não-Dissipativa.	101
5.2.5 - Testes com o Circuito de Proteção de Sobrecorrente.	104
5.3 - CONCLUSÕES	105

CONCLUSÕES GERAIS	107
REFERÊNCIAS BIBLIOGRÁFICAS	109
ANEXO 1	113

SIMBOLOGIA

A_e	- Área Efetiva da Perna Central do Núcleo em cm^2
a_n, b_n	- Coeficientes da Série de Fourier
A_w	- Área da Janela do Núcleo em cm^2
$B_{\text{máx}}$	- Máxima Densidade de Fluxo Magnético
C_f	- Capacitor do Filtro de Saída
C_{iss}	- Capacitância de Entrada Equivalente do MOSFET
C_o	- Capacitor de Filtro do Estágio Retificador
C_{oss}	- Capacitância de Saída Equivalente do MOSFET
C_{rn}	- Capacitores de Ressonância
C_s	- Capacitor do Snubber
D_n	- Diodos
f_{RC}	- Frequência do Circuito RC de Geração de Clock
I_{Cr}	- Corrente do Capacitor Ressonante
I_{DS}	- Corrente de Dreno do MOSFET
I_{Da}	- Corrente do Diodo n
I_{Dmed}	- Corrente Média no Diodo D
I_{Drms}	- Corrente Eficaz no Diodo D
I_{Lr}	- Corrente do Indutor Ressonante
I_o	- Corrente de Saída do Inversor
I_{Sn}	- Corrente da Chave de Potência n

I_{Smed}	- Corrente Média da Chave de Potência S
I_{Srms}	- Corrente Eficaz da Chave de Potência S
J	- Densidade de Corrente no Condutor (A/cm^2)
K_w	- Fator de Enrolamento
l_e	- Comprimento Magnético do Núcleo (cm)
L_f	- Indutor do Filtro de Saída
lg	- Tamanho do Entreferro (cm)
L_m	- Indutores de Ressonância
M	- Índice de Modulação
M_a	- MOSFET Auxiliar
M_p	- MOSFET Principal
n	- Harmônica de Ordem n
N	- Número de espiras
N_p	- Número de Pulsos por Período de Modulação
P	- Potência Ativa do Inversor
R_{DS}	- Resistência Dreno-Source Equivalente do MOSFET em Condução
R_s	- Resistência do Snubber
S_n	- Chaves de Potência
T	- Período
$T_{onmáx}$	- Tempo de Condução Máximo do MOSFET Auxiliar
T_{onmin}	- Tempo de Condução Mínimo do MOSFET Auxiliar

t_{rr}	- Tempo de Recuperação Reversa do Diodo Intrínseco do MOSFET
V_{AB}	- Tensão de Saída da Ponte Inversora
V_{Cr}	- Tensão no Capacitor Ressonante
V_{DS}	- Tensão Dreno-Source nos MOSFETs
V_o	- Tensão de Saída do Inversor (após filtro)
U	- Frequência Normalizada
V_{Dn}	- Tensão no Diodo n
V_S	- Tensão do Barramento DC
V_{Sn}	- Tensão da Chave de Potência n
Z_e	- Impedância Equivalente de Saída
Z_o	- Impedância Característica do Circuito LC
α	- Condutância Normalizada
ϕ	- Ângulo do Fator de Potência de Carga
μ_o	- Permeabilidade Magnética do Ar
ω_o	- Frequência de Ressonância do Circuito LC
ω_f	- Frequência Natural de Oscilação do Filtro LC de Saída

RESUMO

O presente trabalho apresenta o estudo de um inversor monofásico de tensão com comutação não dissipativa, modulado por largura de pulso (PWM) senoidal a dois níveis. O objetivo é obter inversores de alta potência e robustez, que apresentem perdas mínimas de comutação e alto rendimento. O inversor deve apresentar uma tensão senoidal em sua saída, com mínima distorção, a fim de que possa ser utilizado em sistemas ininterruptos de energia. O inversor proposto é gerado através de uma combinação de células ressonantes básicas, através das quais obtém-se quatro topologias.

A topologia selecionada será analisada, estabelecendo-se as sequências de funcionamento e o seu estudo analítico.

Visando confirmar a análise matemática, será feita uma simulação digital do inversor.

Com as definições do inversor e do tipo de modulação, apresenta-se o projeto para o inversor proposto e os resultados experimentais de um protótipo de 500 W, validando-se os estudos analíticos realizados.

ABSTRACT

This work is concerned with the investigation and experimentation of a zero-current-switching inverter topology, regulated by a true PWM. The main objective is to obtain inverters that are suitable for Uninterruptible Power Systems (UPS) and electric drives, providing high power and compactness, with loss-less commutation and high efficiency.

The proposed inverter is generated by the combination of ZCS-cells, resulting in four ZCS inverter topologies.

The selected topology is analyzed, and its principle of operation and theoretical analysis are provided, along with simulation results.

Design example and experimental results of a 500 W prototype are provided, validating the analytical studies.

INTRODUÇÃO GERAL

Muitos sistemas de elevados graus de complexidade e importância necessitam, de modo ininterrupto, de uma tensão senoidal pura e livre de distorções. Pode-se citar como exemplo destes sistemas : centro de processamento de dados, sistemas de telecomunicações, processos industriais, equipamentos hospitalares, transportes de massa (metrô), dentre outros.

Torna-se, portanto, necessária a utilização de sistemas de alimentação que proporcionem tensão senoidal de forma confiável e sem a interferência de fatores externos. Para isso, pode-se empregar conversores eletromecânicos ou conversores estáticos.

Os conversores eletromecânicos ou rotativos apresentam onda senoidal pura, com uma capacidade de fornecimento de elevados níveis de potência. Porém, têm como desvantagens a necessidade de instalações adequadas, elevado nível de ruído e uma manutenção freqüente.

Os conversores estáticos DC/AC, denominados inversores, permitem a alimentação de sistemas complexos, proporcionando baixa taxa de distorção harmônica, alto rendimento e custo competitivo.

Os inversores mostram-se bastante atrativos e eficientes quando alimentam cargas lineares (cargas resistivas, cargas R-L, motores de corrente alternada, etc.). Neste tipo de carga, consegue-se manter uma tensão de saída senoidal, com uma baixa distorção harmônica, através de um projeto adequado de um filtro de saída e sem a necessidade de se empregar técnicas de controle muito complexas.

Porém, para cargas não-lineares tem-se sérios problemas de distorção da tensão de saída dos inversores. As fontes chaveadas, exemplo típico de carga não linear, têm aumentado cada vez mais sua importância na conversão e suprimento de energia elétrica. Com estas cargas não-lineares, têm-se sérios problemas de distorção da tensão de saída dos inversores. Isto se deve ao fato de que as cargas não-lineares consomem energia da rede em forma de uma corrente não-senoidal, repetitiva e de pico elevado, que tem por efeito provocar distorções na tensão de saída do inversor.

Outro problema encontrado nos inversores e conversores em geral são as perdas

em comutação. Estas perdas ocorrem devido à não-idealidade dos semicondutores de potência, fazendo com que seja dissipada energia durante o bloqueio e entrada em condução de um semicondutor.

Assim, a fim de se garantir perdas praticamente nulas durante a comutação, são empregadas diversas topologias, baseadas em comutação por corrente nula (ZCS) ou por tensão nula (ZVS).

As técnicas quase-ressonantes de comutação por corrente nula, modulada em frequência (QRC-ZCS-FM), foram desenvolvidas recentemente [1], mas sua aplicação está limitada a baixos níveis de potência. Isto ocorre pelo fato de que, neste caso, a ressonância é responsável pela transferência de energia à carga, causando uma baixa performance dos semicondutores de potência, devido a alta razão entre a corrente eficaz no semicondutor e a corrente de carga.

Outra técnica não-dissipativa aplicada a inversores é o circuito DC-LINK ressonante [02]. Este circuito apresenta como desvantagem a não obtenção de uma modulação PWM verdadeira, e sim uma modulação PWM integral (IPWM), além de apresentar uma sobretensão excessiva nos semicondutores. A fim de sanar estes problemas, é proposto em [03] a interrupção do ciclo ressonante para se obter um PWM verdadeiro, e a utilização de capacitores ressonantes chaveados para reduzir a sobretensão nos semicondutores.

A técnica de comutação sob tensão nula empregando uma transição ressonante de curta duração [04], se mostra bastante eficiente quando aplicada a inversores, embora as perdas em condução sejam aumentadas, devido à necessidade de se garantir um nível mínimo de corrente para que uma comutação sem perdas seja realizada.

A utilização da quase-ressonância em conversores DC/DC regulados por largura de pulso (QRC-ZCS-PWM), apresentadas em [05], é bastante eficaz, pois a ressonância é utilizada apenas para a realização de uma comutação sem perdas.

Este trabalho tem como objetivo a concepção, estudo e utilização de inversores de tensão de alto rendimento e baixa distorção, utilizando a técnica quase-ressonante ZCS-PWM.

O presente estudo apresenta a análise, simulação e implementação de um inversor

com comutação não-dissipativa, regulado por uma modulação do tipo PWM.

CAPÍTULO I

TOPOLOGIAS INVERSORAS QUASE-RESSONANTES,

PRINCÍPIO DE OPERAÇÃO E ANÁLISE

1.1 - INTRODUÇÃO

Atualmente, a obtenção de rendimento elevado em conversores DC-AC tem sido objeto de grande interesse por parte dos pesquisadores em eletrônica de potência, motivando, portanto, a concepção de novas topologias que reduzam drasticamente as perdas de comutação.

Neste capítulo, são apresentadas quatro topologias inversoras que empregam técnicas quase-ressonantes com chaveamento em corrente nula, a fim de se obter comutação não-dissipativa. Nestas topologias a quase-ressonância não é responsável pela transferência de energia da fonte à carga, pois esta é utilizada apenas para se obter uma comutação sem perdas.

Das quatro estruturas inversoras propostas, uma delas é escolhida para explanação do princípio de operação, apresentação de formas de ondas relevantes e análise matemática.

1.2 - SÍNTESE DAS TOPOLOGIAS

As topologias inversoras quase-ressonantes são obtidas através da combinação de células de comutação, geradas durante o presente estudo [07].

Através da combinação das células de comutação dos blocos A e B, mostrados na Fig. 1.1, obtém-se as quatro topologias inversoras quase-ressonantes apresentadas na Fig. 1.2.

No bloco A encontram-se as células de comutação com as chaves principais S_1 e S_2 e os indutores de ressonância L_m , enquanto que no bloco B tem-se as células de comutação com as chaves auxiliares S_3 e S_4 e os capacitores de ressonância C_m .

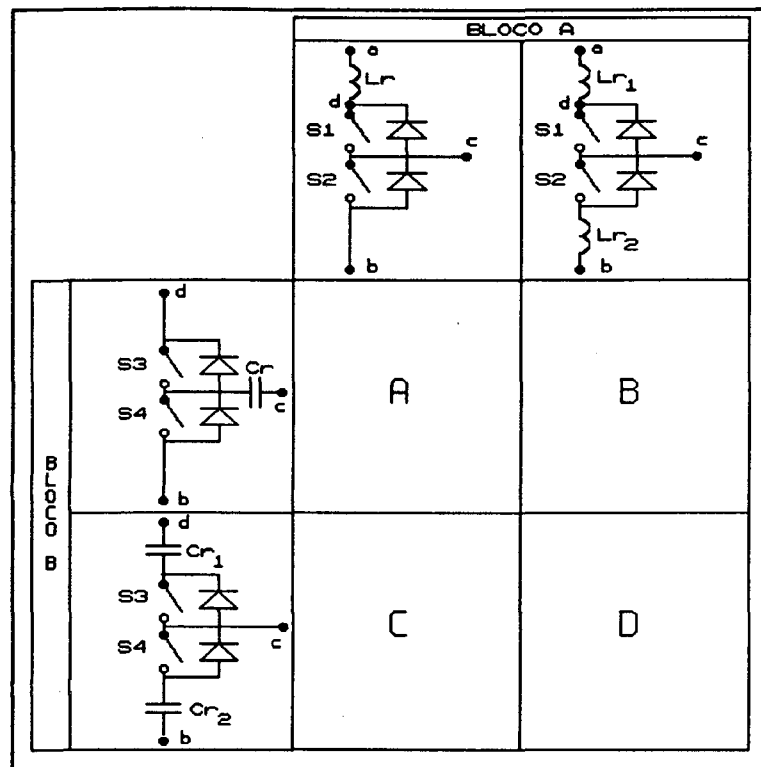


Fig. 1.1 - Método de Síntese Topológica.

A fim de se obter os inversores DC-AC quase-ressonantes, as células de comutação devem ser associadas a fontes de tensão e corrente. As fontes de tensão devem ser conectadas entre os pontos a e b , enquanto que as fontes de corrente ao ponto c .

As quatro topologias apresentadas na Fig. 1.2 estão em sua configuração meia-ponte (half-bridge), onde pode-se verificar que cada uma delas é resultado de uma síntese de dois conversores DC-DC com modulação por largura de pulso (PWM - Pulse Width

Modulation) com chaveamento sob corrente nula (ZCS - Zero Current Switching): um conversor do tipo buck quase-ressonante PWM e um conversor do tipo boost quase-ressonante PWM.

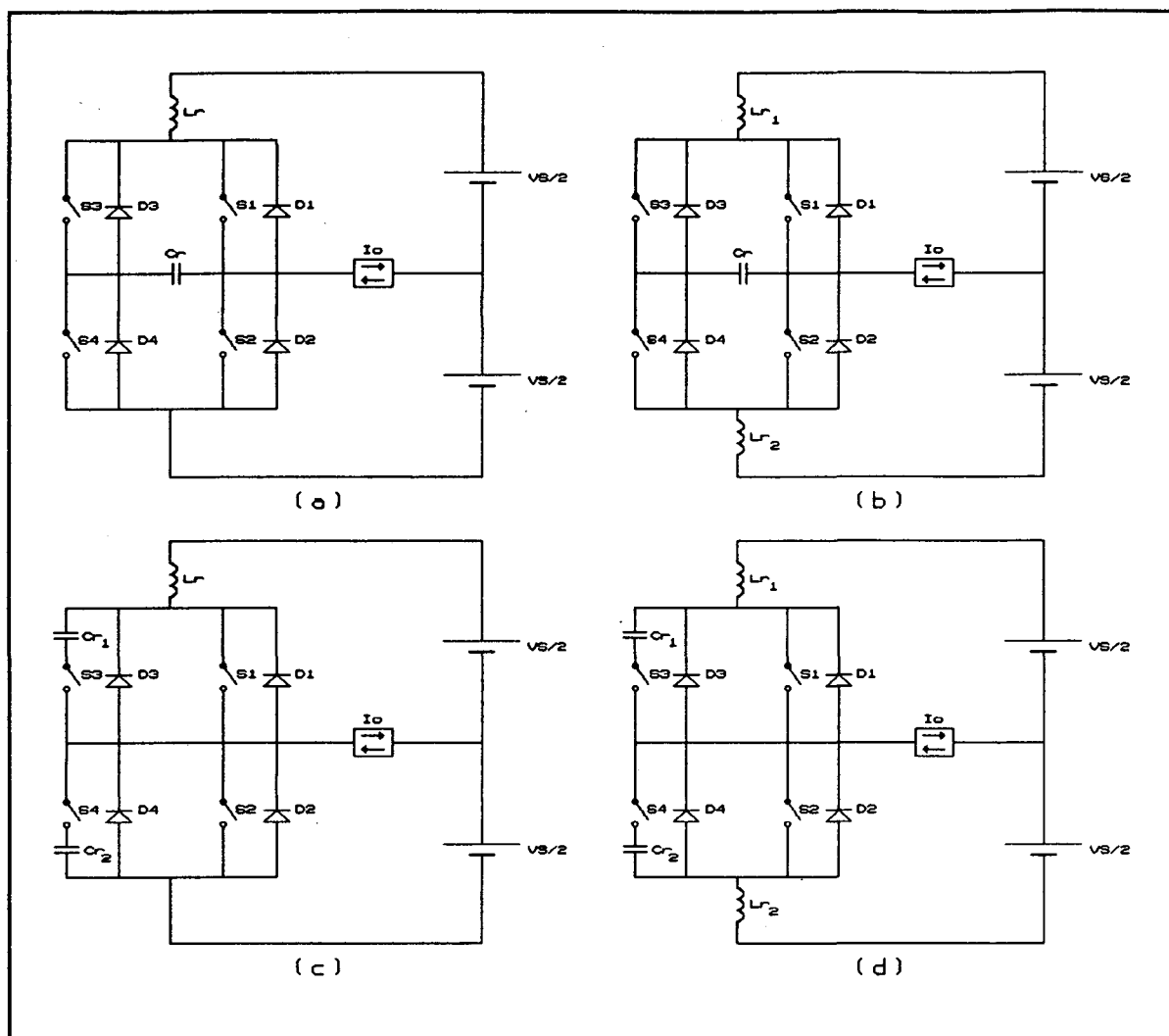


Fig. 1.2 - Topologias Inversoras PWM-ZCS,
Configuração Half-Bridge.

Estas topologias se distinguem umas das outras, basicamente, pela posição e pelo número de elementos ressonantes presentes em cada uma. Assim, estas apresentam princípios de funcionamento bastante semelhantes.

Nas estruturas inversoras em sua configuração em ponte-completa (full-bridge),

mostradas na Fig. 1.3, verifica-se que se tratam de uma extensão da configuração half-bridge, sendo que cada braço inversor é constituído por uma célula inversora composta pelas quatro chaves e os elementos ressonantes L_m e C_m .

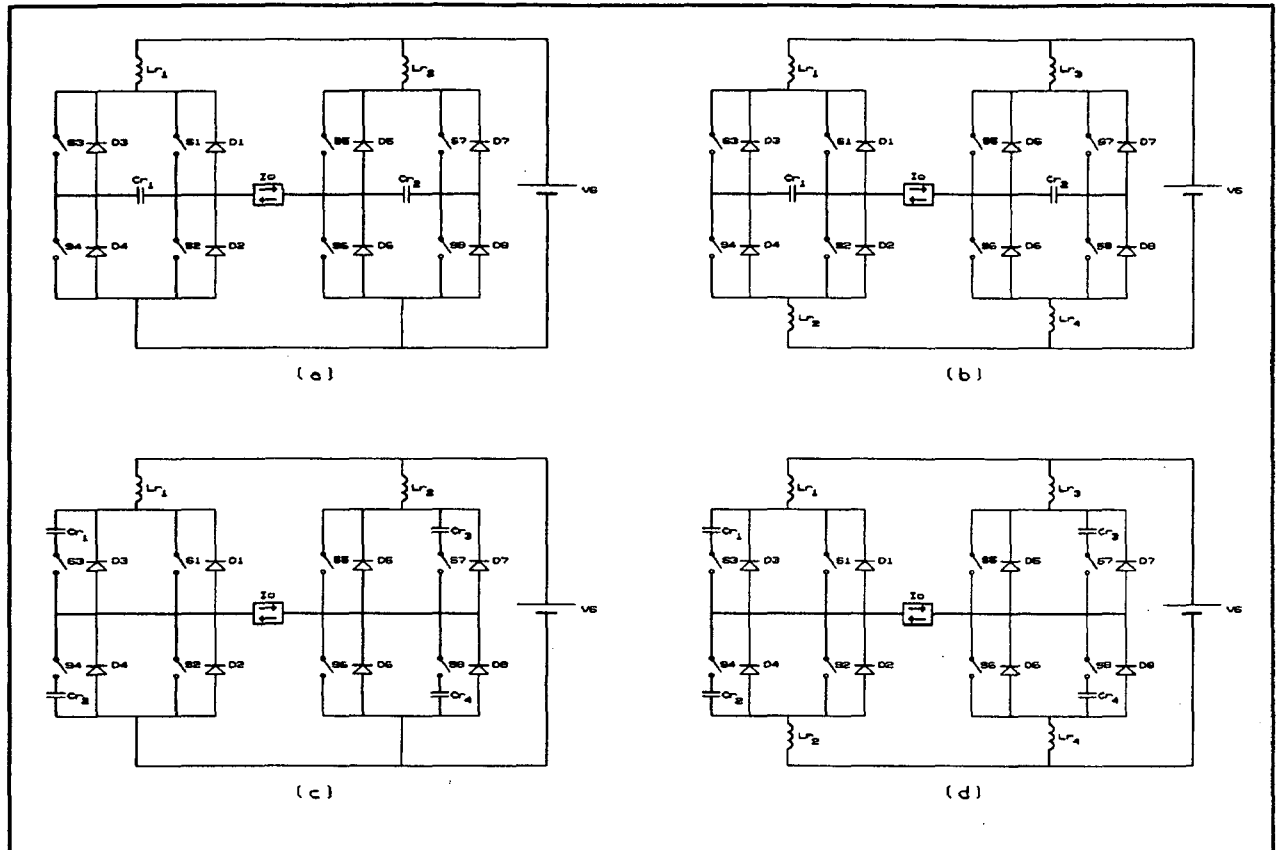


Fig. 1.3 - Topologias Inversoras PWM-ZCS,
Configuração Full-Bridge.

1.3 - PRINCÍPIO DE OPERAÇÃO

A topologia escolhida para análise será aquela apresentada na Fig. 1.2.(a), devido a apresentar o menor número de elementos ressonantes. As outras topologias são simples variações, não apresentando vantagens e/ou características adicionais. Cabe ressaltar que para simplificar a análise é escolhida a estrutura em sua configuração half-bridge, mas para posterior implementação será utilizada a configuração full-bridge, sem perda de

generalidade na análise efetuada.

O inversor escolhido é definido como segue:

- $S_1, S_2 \Rightarrow$ chaves principais
- $S_3, S_4 \Rightarrow$ chaves auxiliares
- $D_1, D_2 \Rightarrow$ diodos principais
- $D_3, D_4 \Rightarrow$ diodos auxiliares
- $L_r, C_r \Rightarrow$ elementos ressonantes
- $V_S \Rightarrow$ Tensão do barramento DC
- $I_o \Rightarrow$ Corrente de saída do inversor

Para simplificar a análise, as seguintes condições são assumidas:

- a) O filtro de saída do inversor é considerado grande o suficiente a fim de que a corrente de saída possa ser considerada constante, ou seja, sem ondulação durante o período de chaveamento. Isto se deve ao fato de que a ressonância não é responsável pela transferência de potência à carga, mas responsável apenas pela realização da comutação com corrente nula;
- b) Todas as chaves de potência são ideais, com tempo de chaveamento nulo e sem queda de tensão por condução;
- c) O fator de qualidade do circuito ressonante é infinito;
- d) A tensão do barramento DC será considerada constante durante todo o período de chaveamento;

1.3.1 - Descrição do Funcionamento

As etapas de funcionamento, mostradas na Fig. 1.4, e cujas formas de onda são apresentadas na Fig. 1.5, são descritas a seguir:

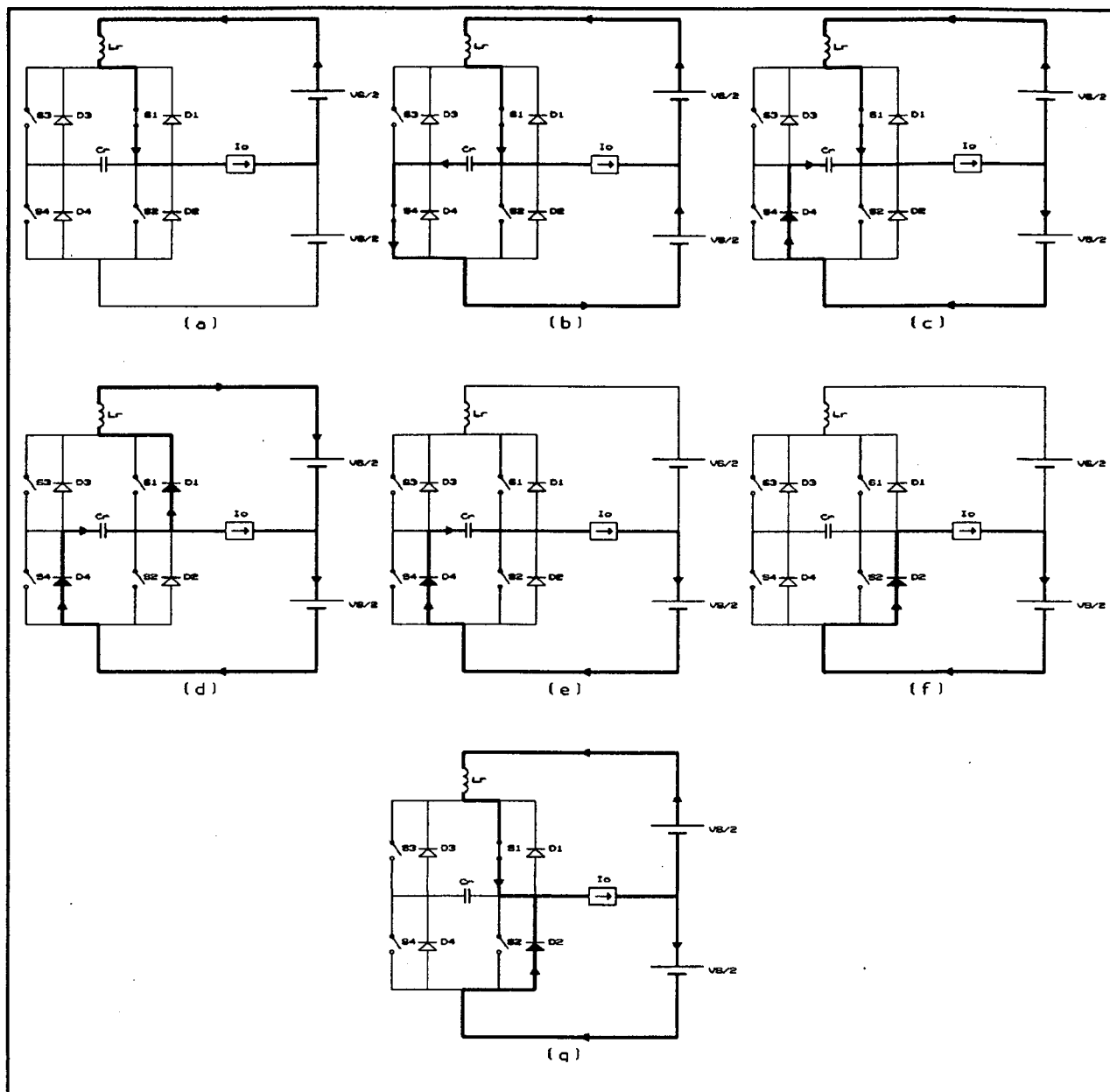


Fig. 1.4 - Etapas de Funcionamento do Inversor
Quase-Ressonante PWM-ZCS.

. 1ª Etapa: Etapa de Transferência de Energia (t_0, t_1). (Fig. 1.4.(a))

Durante esta etapa, a corrente de entrada flui através da chave S_1 e do indutor L_r , transferindo energia para a carga. A tensão de saída do inversor é $V_S/2$ e a corrente no indutor ressonante, i_{L_r} , é igual a I_o .

. 2ª Etapa: Etapa Ressonante (t_1, t_2). (Fig. 1.4.(b))

Com o objetivo de realizar uma comutação sob corrente nula em S_1 , a chave auxiliar S_4 é colocada em condução. Durante esta etapa, a corrente i_{Lr} cresce senoidalmente até um valor máximo e decresce até atingir novamente o valor da corrente de carga I_o . A tensão no capacitor ressonante aumenta de maneira senoidal, até que esta atinja o valor de $2V_S$.

. 3ª Etapa: Etapa Ressonante (t_2, t_3). (Fig. 1.4.(c))

Durante esta etapa, o diodo D_4 conduz. A corrente i_{Lr} decresce senoidalmente até se anular. Durante esta etapa, S_4 pode ser comandada ao bloqueio com comutação ZCS. A tensão V_{Cr} decresce senoidalmente até o final deste estágio.

. 4ª Etapa: Etapa Ressonante (t_3, t_4). (Fig. 1.4.(d))

Nesta etapa a corrente no indutor ressonante se inverte e o diodo D_1 conduz a corrente i_{Lr} . Esta etapa termina quando i_{Lr} se anula. Durante este estágio, S_1 pode ser comandado a bloquear com corrente nula.

. 5ª Etapa: 1ª Etapa Linear (t_4, t_5). (Fig. 1.4.(e))

Durante esta etapa o Capacitor C_r descarrega-se linearmente com corrente I_o . A corrente i_{Lr} é nula. Em t_5 , a tensão no capacitor ressonante V_{Cr} se anula.

. 6ª Etapa: Etapa de Roda Livre (t_5, t_6). (Fig. 1.4.(f))

Neste estágio a corrente de carga flui através do diodo D_2 . Nesta etapa $V_{Cr} = 0$ e $i_{Lr} = 0$.

. 7ª Etapa: 2ª Etapa Linear (t_6, t_0). (Fig. 1.4.(g))

Tem-se início quando a chave S_1 é colocada em condução. A corrente no indutor ressonante i_{Lr} cresce linearmente até atingir o valor da corrente de carga I_o , quando o ciclo é completado.

A mesma análise é feita quando a corrente de carga flui no sentido oposto. Nesta segunda metade do ciclo de operação, as chaves de potência a serem comandadas serão S_2 e S_3 . Entre a primeira e a segunda metade dos ciclos de operação é introduzido um tempo morto, a fim de prevenir um curto circuito no braço do inversor. Embora exista um indutor em série com cada braço do inversor, o tempo morto é necessário, uma vez que o valor de indutância é muito pequeno para limitar com segurança a corrente no braço do inversor.

1.3.2 - Formas de Onda

Para ilustrar as etapas de funcionamento do inversor, as formas de onda relevantes, como tensão no capacitor ressonante, corrente no indutor ressonante e tensão nas chaves S_1 e S_4 , juntamente com os sinais de comando, são mostrados na Fig. 1.5.

Constata-se que, tanto a entrada em condução quanto o bloqueio das chaves de potência, ocorre com corrente nula, caracterizando a comutação não-dissipativa.

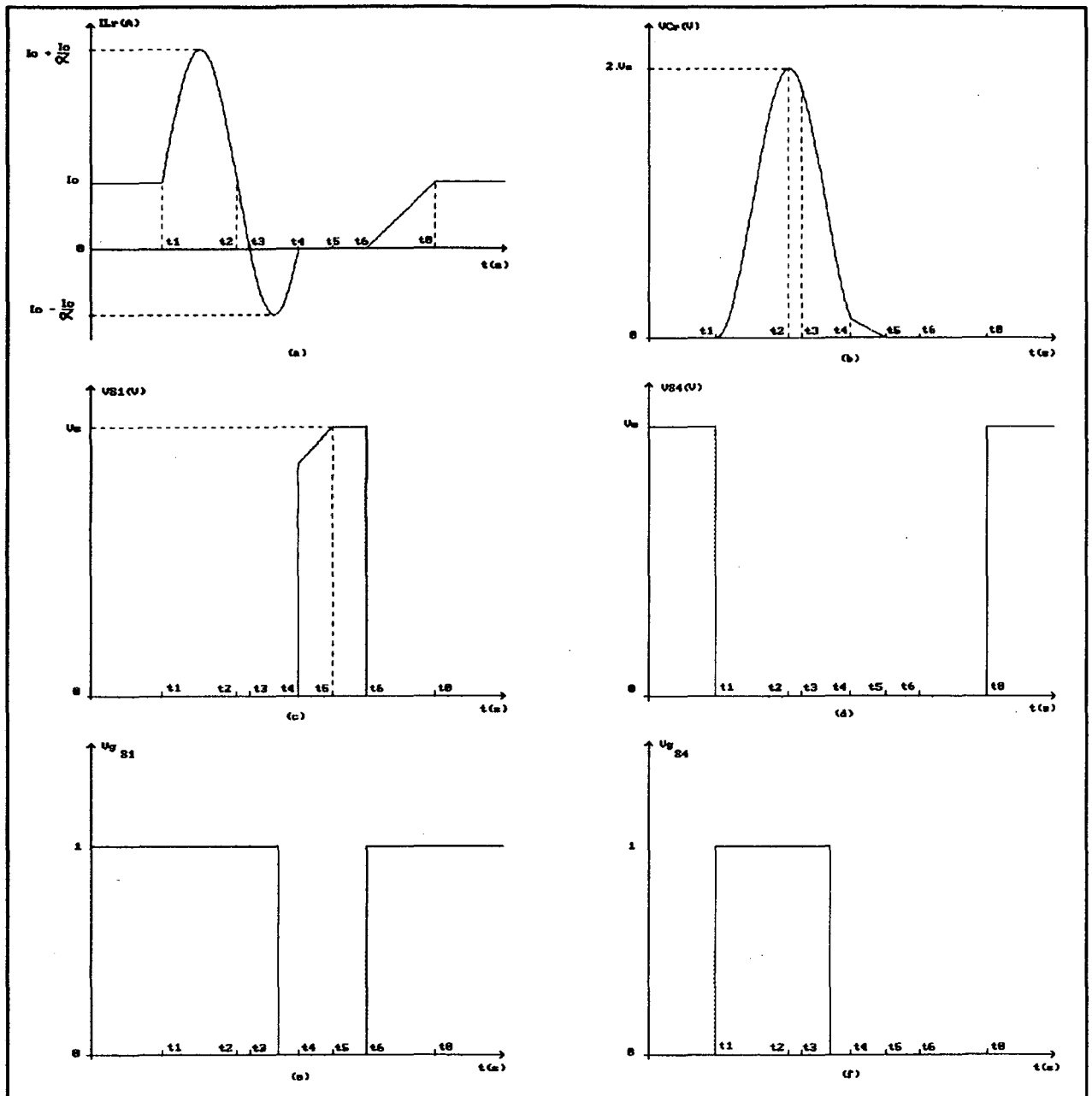


Fig. 1.5 - Principais Formas de Onda.

- (a) Corrente no indutor ressonante i_{Lr} ;
- (b) Tensão no Capacitor ressonante V_{CR} ;
- (c) Tensão na chave S_1 ;
- (d) Tensão na chave S_4 ;
- (e) Sinal de comando da chave S_1 ;
- (f) Sinal de comando da chave S_4 .

1.3.3 - Análise Quantitativa

Na implementação experimental do inversor, é necessário o conhecimento dos tempos de duração de cada etapa, a fim de se determinar os instantes precisos para as ordens de comando das chaves. Portanto, a seguir é feita a análise matemática de cada uma das etapas de funcionamento.

Seja a impedância característica do circuito definida por:

$$Z_o = \sqrt{\frac{L_r}{C_r}} \quad (1.1)$$

A frequência de ressonância (em rad/seg) definida por:

$$\omega_o = \frac{1}{\sqrt{L_r C_r}} \quad (1.2)$$

E α a condutância normalizada dada por:

$$\alpha = \frac{Z_o I_o}{V_S} \quad (1.3)$$

1ª Etapa

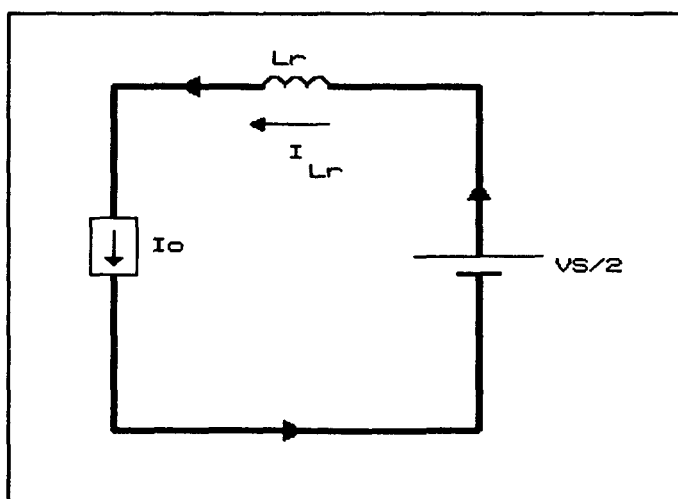


Fig. 1.7 - Primeira Etapa.

Durante esta etapa, existe a transferência de energia da fonte de alimentação para a carga. Portanto, a duração desta etapa será regulada pelo tipo de modulação a ser empregada.

2ª Etapa

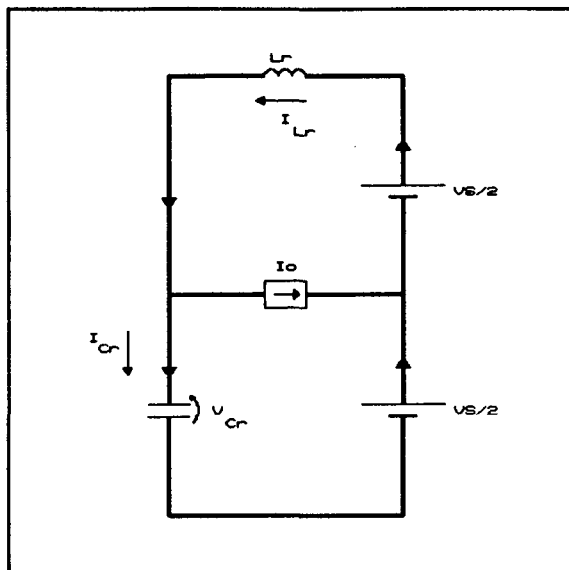


Fig. 1.8 - Segunda Etapa.

Da Fig. 1.8, tem-se :

$$i_{L_r}(t) = I_o + i_{C_r}(t) \quad (1.4)$$

$$i_{C_r}(t) = C_r \frac{dv_{C_r}(t)}{dt} \quad (1.5)$$

$$v_{C_r}(t) = VS + L_r \frac{di_{L_r}(t)}{dt} \quad (1.6)$$

De (1.4) e (1.5) :

$$i_{L_r}(t) = I_o + C_r \frac{dv_{C_r}(t)}{dt} \quad (1.7)$$

Substituindo (1.7) em (1.6) :

$$L_r.C_r \frac{d^2 v_{Cr}(t)}{dt^2} = -v_{Cr}(t) + VS \quad (1.8)$$

Com as condições iniciais :

$$v_{Cr}(t_1) = 0 \quad (1.9)$$

$$i_{Lr}(t_1) = I_o \quad (1.10)$$

Tem-se:

$$v_{Cr}(t) = VS.(1 - \cos \omega_o.t) \quad (1.11)$$

$$i_{Lr}(t) = I_o + \frac{VS}{Z_o} \cdot \sin \omega_o.t \quad (1.12)$$

Esta etapa termina quando $i_{Lr}(t)$ atinge novamente o valor da corrente de carga, I_o . Assim, $t = \Delta t_2$ e substituindo em (1.12):

$$\frac{VS}{Z_o} \cdot \sin(\omega_o \cdot \Delta t_2) \quad (1.13)$$

Logo :

$$\omega_o \cdot \Delta t_2 = \sin^{-1} 0 \quad (1.14)$$

Assim :

$$\Delta t_2 = \frac{k\pi}{\omega_o} \quad (k=0,1,2,...) \quad (1.15)$$

Como Δt_2 está situado no segundo quadrante :

$$\Delta t_2 = \frac{\pi}{\omega_o} \quad (1.16)$$

No final desta etapa tem-se :

$$v_{Cr}(t_2) = 2.VS \quad (1.17)$$

$$i_L(t_2) = I_o$$

3ª Etapa

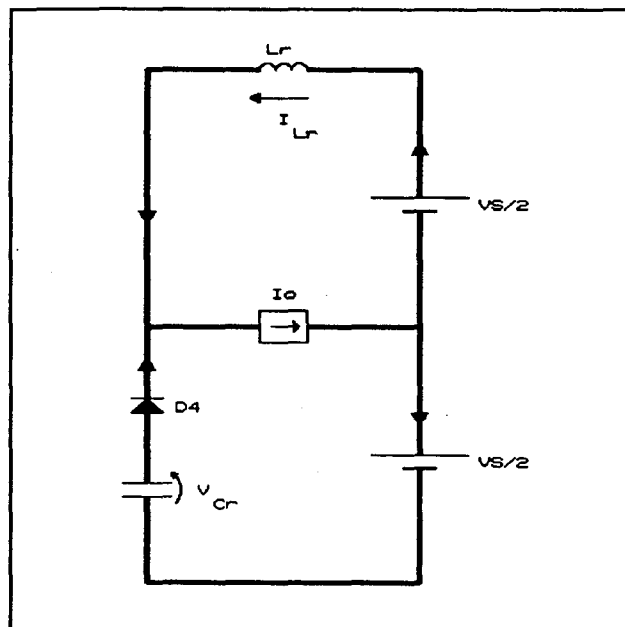


Fig. 1.9 - Terceira Etapa.

O circuito equivalente desta etapa não difere do circuito da etapa anterior, apresentando apenas condições iniciais diferentes:

$$v_{Cr}(t_2) = 2.VS \quad (1.18)$$

$$i_L(t_2) = I_o \quad (1.19)$$

Assim, através de (1.6), (1.7) e (1.8), em conjunto com as novas condições iniciais, obtém-se :

$$v_{Cr}(t) = VS.(1 + \cos \omega_o.t) \quad (1.20)$$

$$i_L(t) = I_o - \frac{VS}{Z_o}.\sin \omega_o.t \quad (1.21)$$

Esta etapa termina quando $i_L(t)=0$. Logo, de (1.21), com $t=\Delta t_3$:

$$\sin \omega_o.\Delta t_3 = \frac{Z_o.I_o}{VS} \quad (1.22)$$

$$\Delta t_3 = \frac{1}{\omega_o}.\text{sen}^{-1} \frac{Z_o.I_o}{VS} \quad (1.23)$$

Logo :

$$\Delta t_3 = \frac{1}{\omega_o}.\text{sen}^{-1} \alpha \quad (1.24)$$

No final desta etapa tem-se :

$$v_{Cr}(t_3) = VS.(1 + \sqrt{1 - \alpha^2}) \quad (1.25)$$

$$i_L(t_3) = 0 \quad (1.26)$$

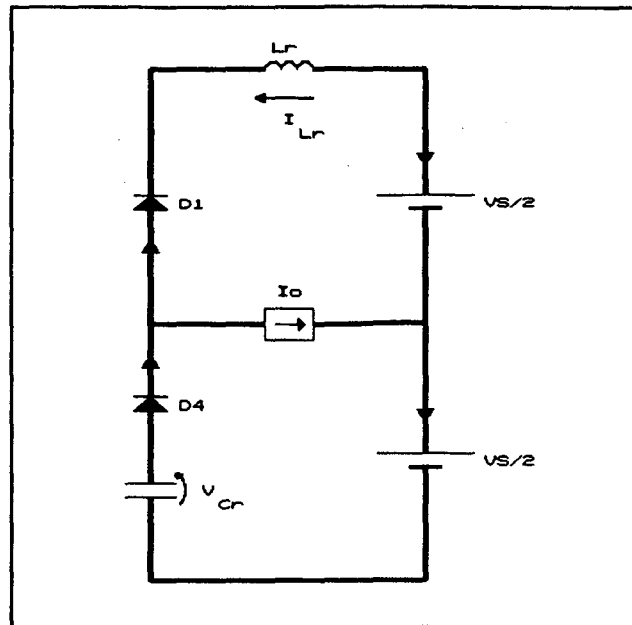
4ª Etapa

Fig. 1.10 - Quarta Etapa.

Tem-se ainda o mesmo circuito equivalente da etapa anterior.

As condições iniciais para esta etapa são definidas por:

$$v_{Cr}(t_3) = VS.(1 + \sqrt{1 - \alpha^2}) \quad (1.27)$$

$$i_{Lr}(t_3) = 0 \quad (1.28)$$

Através das novas condições iniciais e das equações (1.6), (1.7) e (1.8) obtém-se:

$$v_{Cr}(t) = VS.(1 - \alpha.\sin\omega_o.t + \sqrt{1 - \alpha^2}.\cos\omega_o.t) \quad (1.29)$$

$$i_{Lr}(t) = I_o - \left(\frac{VS.\alpha}{Z_o}.\cos\omega_o.t + \frac{VS}{Z_o}.\sqrt{1 - \alpha^2}.\sin\omega_o.t \right) \quad (1.30)$$

O final desta etapa ocorre quando $i_L(t)=0$. Como a equação (1.30) dificulta a explicitação de Δt_4 , pode-se utilizar a equação (1.21) :

$$\omega_o \cdot \Delta t_4' = \sin^{-1} \alpha \quad (1.31)$$

Como $\omega_o \cdot \Delta t_4'$ se encontra no 3º quadrante :

$$\Delta t_4' = \frac{1}{\omega_o} \cdot (\pi - \sin^{-1} \alpha) \quad (1.32)$$

No entanto :

$$\Delta t_4 = \Delta t_4' - \Delta t_3 \quad (1.33)$$

$$\Delta t_4 = \frac{1}{\omega_o} \cdot (\pi - \sin^{-1} \alpha - \sin^{-1} \alpha) \quad (1.34)$$

Logo :

$$\Delta t_4 = \frac{1}{\omega_o} \cdot (\pi - 2 \cdot \sin^{-1} \alpha) \quad (1.35)$$

Substituindo Δt_4 em 1.29, encontra-se :

$$v_{Cr}(t_4) = VS \cdot (1 - \sqrt{1 - \alpha^2}) \quad (1.36)$$

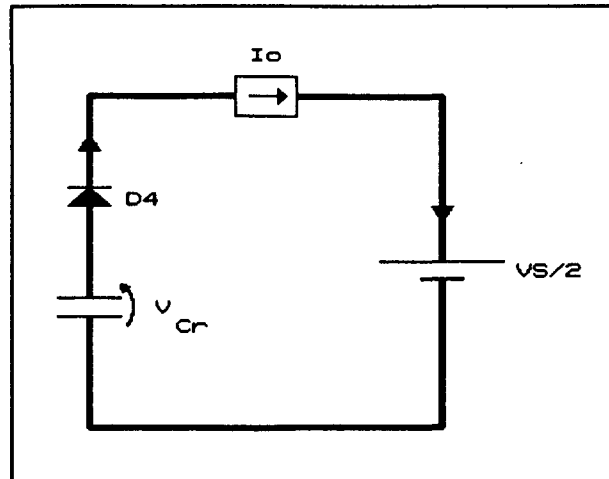
5ª Etapa

Fig. 1.11 - Quinta Etapa.

Tem-se como condições iniciais desta etapa :

$$i_L(t_4)=0 \quad (1.37)$$

$$v_{Cr}(t_4)=VS.(1-\sqrt{1-\alpha^2}) \quad (1.38)$$

Da Fig. 1.11, tem-se :

$$C_r \cdot \frac{dv_{Cr}(t)}{dt} = -I_o \quad (1.39)$$

Assim, de (1.39) e de (1.38), obtém-se :

$$v_{Cr}(t)=VS.(1-\sqrt{1-\alpha^2})-\frac{I_o}{C_r}.t \quad (1.40)$$

Ao final desta etapa tem-se $V_{Cr}(t_5)=0$. Logo:

$$\Delta t_5 = \frac{C_r V_S}{I_o} \cdot (1 - \sqrt{1 - \alpha^2}) \quad (1.41)$$

$$\Delta t_5 = \frac{1}{\alpha \cdot \omega_o} \cdot (1 - \sqrt{1 - \alpha^2}) \quad (1.42)$$

6ª Etapa

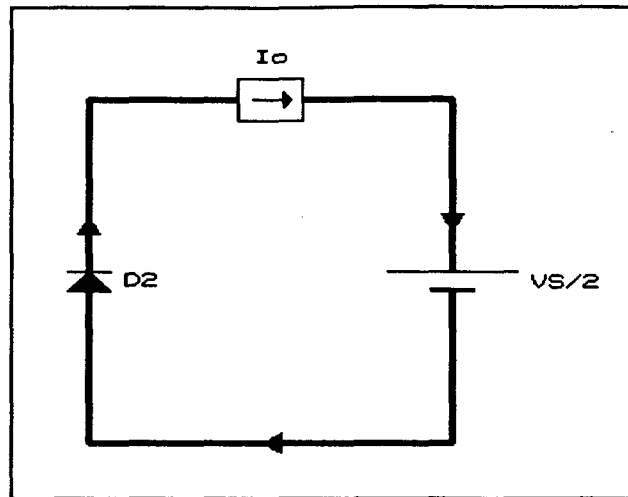


Fig. 1.12 - Sexta Etapa.

Durante esta etapa a corrente de carga faz roda-livre com o diodo D_2 . Tem-se, portanto :

$$i_L(t) = 0 \quad (1.43)$$

$$v_{Cr}(t) = 0 \quad (1.44)$$

A duração desta etapa será também regulada pela estratégia de modulação empregada. Assim :

$$\Delta t_6 = T - (\Delta t_1 + \Delta t_2 + \Delta t_3 + \Delta t_4 + \Delta t_5) \quad (1.45)$$

Onde : T = período de chaveamento.

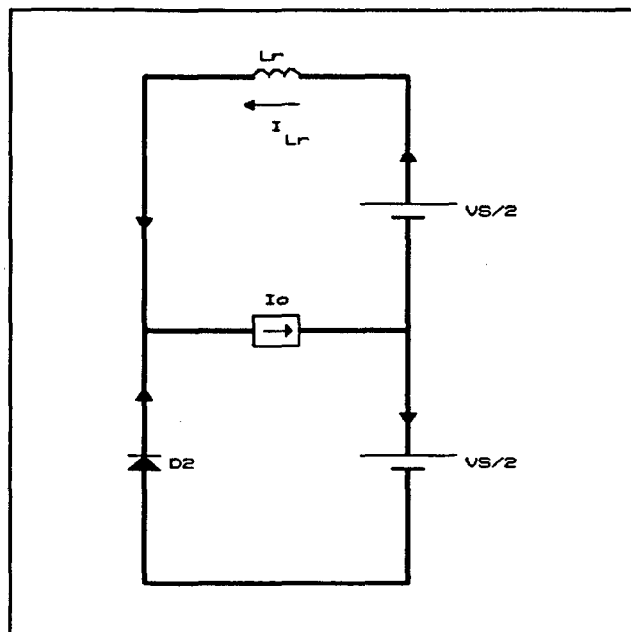
7ª Etapa

Fig. 1.13 - Sétima Etapa.

Tem-se como condições iniciais desta etapa :

$$i_{L_r}(t_0)=0 \quad (1.46)$$

$$v_{C_r}(t_0)=0 \quad (1.47)$$

Através do circuito equivalente desta etapa obtém-se :

$$L_r \frac{di_{L_r}(t)}{dt} = V_S \quad (1.48)$$

Logo :

$$i_{L_r}(t) = \frac{V_S}{L_r} \cdot t \quad (1.49)$$

Esta etapa termina quando $i_{Lr}(t)=I_o$. Assim :

$$\Delta t_7 = \frac{I_o \cdot L_r}{VS} \quad (1.50)$$

$$\Delta t_7 = \frac{\alpha}{\omega_o} \quad (1.51)$$

1.4 - ESTUDO DA COMUTAÇÃO

A fim de garantir uma comutação não-dissipativa com corrente nula (ZCS) em todas as chaves, a relação a seguir deve ser cumprida para toda a faixa de corrente de carga :

$$\alpha = \frac{Z_o I_o}{VS} < 1.0 \quad (1.52)$$

Portanto, por inspeção da expressão (1.52), basta garantir $\alpha < 1.0$ para o valor de pico da corrente de carga.

Para se garantir a comutação do tipo ZCS das chaves principais, as chaves auxiliares devem ser habilitadas à condução em um determinado instante anterior ao bloqueio das chaves principais, como pode ser verificado pelos sinais de comando mostrados na Fig. 1.5.

Através da análise das etapas de funcionamento , a faixa permitida de variação do tempo de condução das chaves auxiliares para se ter comutação ZCS sobre as mesmas, é definido por :

. Tempo mínimo de condução

$$T_{on_{min}} = \Delta t_2 \quad (1.53)$$

$$T_{on_{min}} = \frac{\pi}{\omega_o} \quad (1.54)$$

. Tempo máximo de condução

$$T_{on_{mdx}} = \Delta t_2 + \Delta t_3 + \Delta t_4 + \Delta t_5 \quad (1.55)$$

$$T_{on_{mdx}} = \frac{1}{\omega_o} \cdot [2\pi - \sin^{-1}\alpha + \frac{1}{\alpha} \cdot (1 - \sqrt{1 - \alpha^2})] \quad (1.56)$$

No entanto, para simplificar o comando, é desejável que a extinção do sinal de gate da chave auxiliar coincida com a extinção do sinal da chave principal. Assim, não é possível bloquear as chaves principais durante o intervalo de tempo Δt_3 , pois não seria obtida a comutação ZCS nas mesmas; nem tampouco durante o intervalo de tempo Δt_5 . Logo, a faixa de variação dos tempos de condução das chaves auxiliares, levando-se em conta as restrições impostas pelo comando das chaves principais, quando se deseja ter um comando simplificado, são definidas por :

. Tempo mínimo de condução

$$T_{on_{min}} = \Delta t_2 + \Delta t_3 \quad (1.57)$$

$$T_{on_{min}} = \frac{1}{\omega_o} \cdot (\pi + \sin^{-1}\alpha) \quad (1.58)$$

. Tempo máximo de condução

$$T_{on_{mdx}} = \Delta t_2 + \Delta t_3 + \Delta t_4 \quad (1.59)$$

$$T_{on_{mdx}} = \frac{1}{\omega_o} \cdot (2\pi - \sin^{-1}\alpha) \quad (1.60)$$

A partir das expressões (1.58) e (1.60), pode-se traçar um ábaco (Fig. 1.14) do tempo de condução das chaves auxiliares normalizado pela frequência de ressonância (ω_o) em função de α .

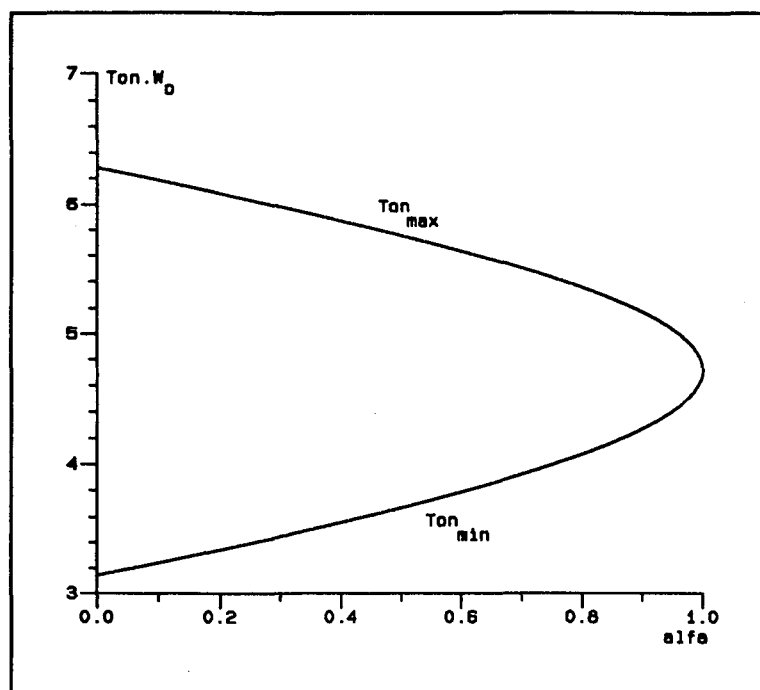


Fig. 1.14 - Tempo de Condução das Chaves Auxiliares
Normalizado por ω_0 em função de α .

1.5 - ESFORÇOS NOS SEMICONDUTORES DE POTÊNCIA E COMPONENTES PASSIVOS DO CIRCUITO.

A fim de se dimensionar os semicondutores e elementos passivos (L_r e C_r), torna-se imperativo determinar os valores máximos, médios e eficazes relevantes de corrente e tensão a que são submetidos os componentes.

Sendo a transferência de potência regulada pela técnica de modulação empregada, uma vez que a ressonância é responsável apenas pela comutação não-dissipativa, neste item serão apenas determinados os valores máximos das tensões e correntes nos componentes. Os valores médios e eficazes das correntes nos semicondutores serão determinados no Capítulo II, onde será feito um estudo da modulação empregada.

a. Tensão máxima no capacitor ressonante C_r

Através da análise quantitativa, verifica-se que a tensão máxima sobre o capacitor ressonante será o dobro da tensão do barramento DC. Logo :

$$V_{C_{r_{\max}}} = 2.VS \quad (1.61)$$

b. Corrente máxima no indutor ressonante L_r

Verifica-se através da expressão (1.12) que a corrente máxima no indutor ressonante ocorrerá para $\omega_o.t = \pi/2$. Logo:

$$I_{L_{r_{\max}}} = I_o.(1 + \frac{1}{\alpha}) \quad (1.62)$$

c. Tensão máxima nas chaves S_1 e S_2

Observa-se que na 2ª, 3ª, 4ª e 5ª etapas, a chave S_2 fica submetida à tensão do capacitor ressonante C_r . Logo:

$$V_{S2_{\max}} = V_{C_{r_{\max}}} \quad (1.63)$$

Portanto :

$$V_{S1_{\max}} = V_{S2_{\max}} = 2.VS \quad (1.64)$$

d. Tensão máxima nas chaves auxiliares S_3 e S_4

Pode-se verificar que na 1ª, 2ª, 3ª e 4ª etapas de funcionamento, a chave S_3 fica submetida à tensão do capacitor ressonante C_r . Assim:

$$V_{S3_{\max}} = V_{S4_{\max}} = 2.VS \quad (1.65)$$

e. Tensão máxima nos diodos principais D_1 e D_2

Verifica-se também que :

$$V_{D1_{\max}} = V_{D2_{\max}} = 2.VS \quad (1.66)$$

f. Tensão máxima nos diodos auxiliares D_3 e D_4

Também constata-se que :

$$V_{D3_{\max}} = V_{D4_{\max}} = 2.VS \quad (1.67)$$

g. Corrente máxima nas chaves S_1 e S_2

A corrente na chave S_1 será igual a corrente no indutor ressonante L_r durante a 1ª, 2ª, 3ª e 7ª etapas. Assim:

$$I_{S1_{\max}} = I_{Lr_{\max}} \quad (1.68)$$

A corrente máxima no indutor ressonante ocorrerá na 2ª etapa, sendo dada pela expressão (1.62). Logo :

$$I_{S1_{\max}} = I_{S2_{\max}} = I_{Lr_{\max}} = I_o \cdot \left(1 + \frac{1}{\alpha}\right) \quad (1.69)$$

h. Corrente máxima nas chaves auxiliares S_3 e S_4

Através da análise da 2ª etapa de funcionamento, obtém-se :

$$I_{S3_{\max}} = I_{S4_{\max}} = \frac{I_o}{\alpha} \quad (1.70)$$

i. Corrente máxima nos diodos principais D_1 e D_2

Através da análise da 4ª etapa de funcionamento, verifica-se que:

$$I_{D1_{\max}} = I_o \cdot \left(\frac{1}{\alpha} - 1 \right) \quad (1.71)$$

Porém, se $\alpha \geq 0.5$, a corrente máxima no diodo D_1 durante a ressonância será menor que a corrente de saída I_o . Portanto :

$$I_{D1_{\max}} = I_{D2_{\max}} = I_o \cdot \left(\frac{1}{\alpha} - 1 \right) \quad p/\alpha < 0.5 \quad (1.72)$$

$$I_{D1_{\max}} = I_{D2_{\max}} = I_o \quad p/\alpha \geq 0.5 \quad (1.73)$$

j. Corrente máxima nos diodos auxiliares D_3 e D_4

A corrente nos diodos auxiliares D_3 e D_4 será igual à corrente no capacitor ressonante. Portanto :

$$I_{D4_{\max}}(t_2, t_3) = I_o \quad (1.74)$$

$$I_{D4_{\max}}(t_3, t_4) = \frac{I_o}{\alpha} \quad (1.75)$$

$$I_{D4_{\max}}(t_4, t_5) = I_o \quad (1.76)$$

Assim :

$$I_{D3_{\max}} = I_{D4_{\max}} = \frac{I_o}{\alpha} \quad (1.77)$$

1.6 - CONCLUSÕES

Foram apresentadas quatro topologias inversoras não-dissipativas utilizando o princípio da quase-ressonância. Destas, a que apresenta maior possibilidade de compactação foi analisada qualitativa e quantitativamente, obtendo-se equações fundamentais para o dimensionamento dos elementos de potência.

Através da análise do equacionamento, pôde-se observar que a condição necessária para ocorrer comutação não-dissipativa é garantir que a impedância normalizada α seja menor ou igual a 1,0. Nesta condição, as correntes nas chaves sempre se tornarão nulas, em uma dada etapa de funcionamento, permitindo o chaveamento sob corrente nula.

A fim de dimensionar os elementos de potência da estrutura, foram determinados os valores máximos de tensão e corrente nos mesmos, sendo que a definição dos valores médios e eficazes das correntes nas chaves será feita no Capítulo II, uma vez que estes valores dependem da técnica de modulação empregada.

Pôde-se verificar que existe uma sobretensão nas chaves de potência de valor igual ao dobro da tensão no barramento DC. Apesar deste inconveniente, uma vez que devemos dimensionar os semicondutores para este valor de tensão, as estruturas apresentadas são bastante atrativas para aplicações em alta potência (acima de 1 KVA).

CAPÍTULO II

MODULAÇÃO PWM SENOIDAL A DOIS NÍVEIS

E ANÁLISE DO FILTRO DE SAÍDA

2.1 - INTRODUÇÃO

Apresenta-se neste capítulo uma modulação por largura de pulso (PWM - Pulse Width Modulation) senoidal a dois níveis. São também apresentados ábacos para projeto, que permitem o cálculo dos esforços nos semicondutores de potência.

Atualmente, a utilização de conversores DC-AC para aplicações em cargas nobres, onde é imperativo que as formas de onda das grandezas de saída sejam puramente senoidais, motiva a utilização de técnicas de modulação eficazes que garantam este comportamento de saída do conversor.

A modulação PWM senoidal torna-se bastante atrativa quando se deseja obter uma saída senoidal, uma vez que esta técnica possibilita o deslocamento dos harmônicos da forma de onda de saída para uma faixa de frequência de ordem mais elevada [09],[10].

Outra técnica bastante utilizada é a modulação PWM otimizada [09],[10] utilizada em conversores de última geração, onde se utilizam microprocessadores ou memórias pré-gravadas para se obter os instantes de disparos dos semicondutores de potência. Neste tipo de modulação consegue-se a eliminação de um número maior de harmônicos de saída, porém, não apresenta na experimentação prática a completa eliminação dos harmônicos. Isto ocorre devido ao fato de que os semicondutores de potência apresentam uma limitação de largura mínima de pulso de comando permissível, e a modulação PWM otimizada chega a apresentar pulsos muito estreitos, que precisam ser limitados a uma largura mínima. Assim, com esta limitação, os pulsos mais estreitos se tornam-se maiores,

podendo então acarretar distorções na senóide de saída.

A fim de se assegurar uma tensão de saída senoidal, é necessário o projeto de um filtro de saída que elimine as harmônicas indesejáveis geradas pela técnica de modulação empregada, sem a circulação de grande quantidade de reativos pelo inversor, a um custo baixo e tamanho reduzido. Assim, é desenvolvido um estudo teórico sobre o filtro de saída, onde se obtém abacos para o seu projeto adequado.

2.2 - MODULAÇÃO POR PULSO ÚNICO (SPM - Single-Pulse Modulation)

Para efeito de simplificação, considere-se o inversor de tensão monofásico autônomo em ponte, com comutação dissipativa, mostrado na Fig. 2.1. Com este tipo de modulação, cada chave do inversor conduz uma única vez por período de funcionamento.

A regulação da tensão de saída V_{AB} é obtida pela variação do ângulo de deslocamento ϕ (Fig. 2.2). Assim, quando $\phi=0$, a tensão de saída torna-se máxima, e quando $\phi=\pi$, tem-se $V_{AB}=0$. A implementação deste tipo de modulação torna-se bastante simples, porém a tensão de saída V_{AB} apresenta um alto conteúdo harmônico.

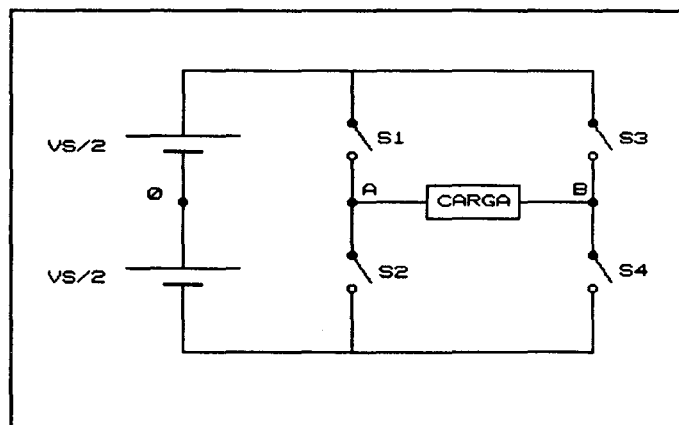


Fig. 2.1 - Inversor Monofásico em Ponte.

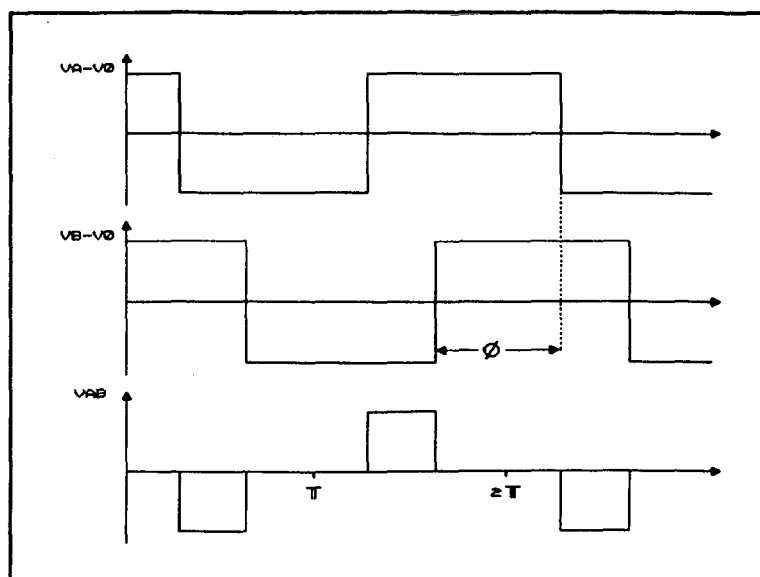


Fig. 2.2 - Modulação por Pulso Único.

2.3 - MODULAÇÃO POR PULSOS MÚLTIPLOS (MPM - Multiple-Pulse Modulation).

Este método, mostrado na Fig. 2.3, é uma extensão do anterior. Consiste na utilização de diversos pulsos para cada meio período de modulação, reduzindo a amplitude dos harmônicos de baixa ordem. No entanto, existe um aumento considerável nas amplitudes dos harmônicos de ordem mais elevada, mas que podem ser facilmente filtrados.

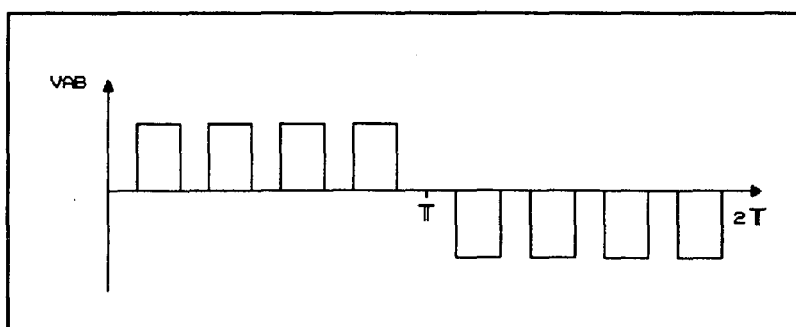


Fig. 2.3 - Modulação por Pulsos Múltiplos.

2.4 - MODULAÇÃO PWM SENOIDAL A DOIS NÍVEIS [09][10].

A fim de se reduzir significativamente o conteúdo harmônico da tensão ou corrente de saída gerada por um inversor, utiliza-se a modulação por largura de pulsos senoidal a dois níveis. O princípio deste tipo de modulação está mostrado na Fig. 2.4.

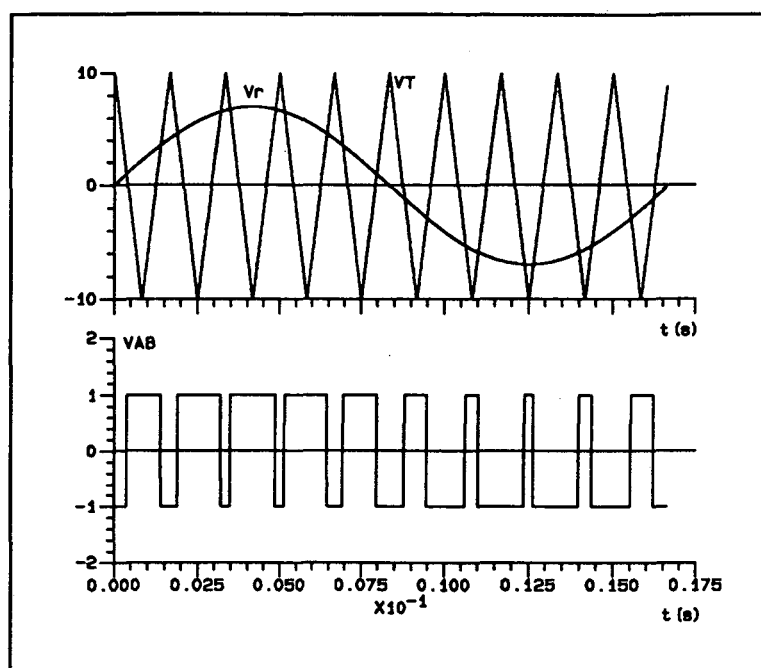


Fig 2.4 - Modulação por Largura de Pulso
Senoidal a Dois Níveis.

Neste tipo de modulação, a frequência do termo fundamental da tensão de saída é imposta por uma senóide de referência V_r . Os sinais de comando das chaves S_i são obtidos através da comparação desta senóide de referência com uma onda triangular, V_T . A frequência da onda triangular está diretamente ligada ao número de pulsos da tensão de saída. Assim, a medida que o número de pulsos aumenta, as harmônicas de saída tenderão a se deslocar para uma região mais elevada do espectro harmônico, reduzindo peso e volume dos elementos do filtro de saída.

Porém, na prática, o número de pulsos é limitado pela frequência máxima de chaveamento que os semicondutores permitem, bem como pela menor largura de pulso

de condução e bloqueio que os mesmos podem realizar.

A variação da amplitude da onda triangular V_T , permite regular a amplitude da fundamental da tensão de saída do inversor. O mesmo resultado pode ser alcançado quando se varia a amplitude da senóide de referência V_r .

Neste tipo de comando, as chaves S_1 e S_4 são comandadas simultaneamente, enquanto que S_2 e S_3 são comandadas de modo complementar, com a inclusão de um pequeno tempo morto para evitar um curto-circuito no braço do inversor.

A forma de onda da Fig. 2.4 apresenta simetria de meia onda e de quarto de onda. Portanto, esta forma de onda pode ser decomposta em termos de uma série de Fourier:

$$f(\omega t) = \sum_{n=1}^{\infty} [a_n \sin(n\omega t) + b_n \cos(n\omega t)] \quad (2.1)$$

Onde:

$$a_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \cdot \sin(n\omega t) d(\omega t) \quad (2.2)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \cdot \cos(n\omega t) d(\omega t) \quad (2.3)$$

Devido a $f(\omega t)$ ter simetria de meia onda, tem-se $a_n=0$ e $b_n=0$ para todo n par. Por simetria de quarto de onda, $b_n=0$ para todo n . Portanto, só existem os termos a_n para todo n ímpar.

Assim, a_n é dado por [11]:

$$a_n = \frac{4}{n\pi} \cdot [1 + 2 \sum_{k=1}^m (-1)^k \cdot \cos(n\alpha_k)] \quad (2.4)$$

Onde: $n = 1, 3, 5, \dots$

$$m = (N_p - 1)/2$$

m = N° de pulsos por meio período de modulação

N_p = N° de pulsos por período de modulação

α_k = parâmetros independentes (ângulos) de comutação compreendidos em um quarto de onda $[0^\circ, 90^\circ]$.

Portanto, $f(\omega t)$ é dado por :

$$f(\omega t) = V_s \sum_{n=1}^{\infty} a_n \sin(n\omega t) \quad (2.5)$$

2.5 - DETERMINAÇÃO DAS CORRENTES MÉDIAS E EFICAZES NOS SEMICONDUTORES.

A fim de se dimensionar os semicondutores, é necessário o conhecimento dos valores médios e eficazes de corrente nos mesmos. Em um inversor regulado por uma modulação do tipo PWM senoidal, o cálculo dos valores eficazes e médios de corrente se tornam complexos, uma vez que estes dependem dos instantes de comutação das chaves.

Na Fig. 2.5 tem-se representadas a tensão e a corrente de saída para 15 pulsos por período ($N_p=15$). A tensão de saída é definida pela expressão (2.5). A corrente de saída do inversor $I_o(t)$ é então definida por:

$$I_o(t) = V_s \sum_{n=1}^{\infty} \frac{a_n}{|Z_n|} \cdot \sin(n\omega t - \phi_n) \quad (2.6)$$

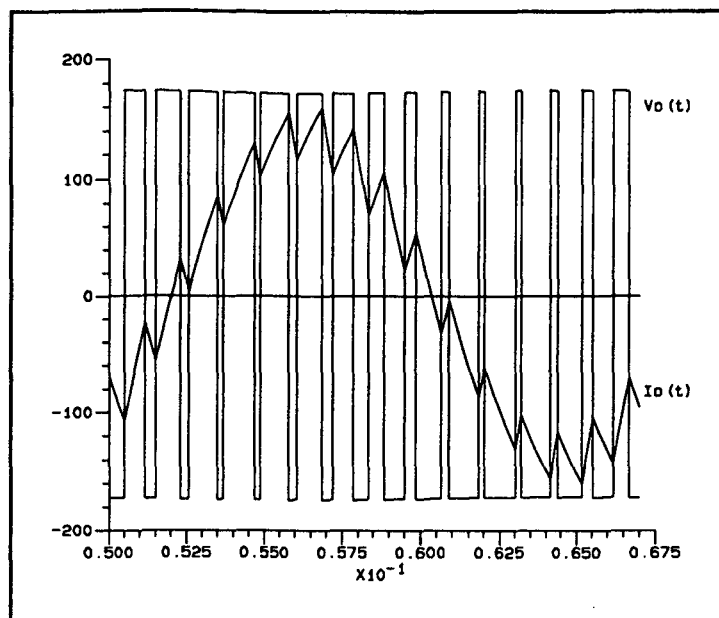


Fig. 2.5 - Tensão e Corrente de Saída do Inversor para 15 Pulsos por Período.

Onde :

$$|Z_n| = \sqrt{R^2 + (n\omega L)^2} \quad (2.7)$$

$$\phi_n = \tan^{-1} \frac{n\omega L}{R} \quad (2.8)$$

R = Resistência equivalente de saída;

L = Indutância equivalente de saída.

a. Corrente eficaz nas chaves principais.

Para se obter a corrente que circula através da chave S_1 do inversor da Fig. 2.1, deve-se primeiro eliminar o valor negativo da corrente de saída.

Assim :

$$i_o'(t) = 0.5[i_o(t) + \text{ABS}(i_o(t))] \quad (2.9)$$

Onde :

$\text{ABS}(i_o(t))$ = valor absoluto da corrente de saída.

A expressão (2.9) representa a corrente que circula pela chave S_1 e pelo diodo D_2 de maneira complementar. Quando a derivada da corrente $i_o(t)$ é positiva, a corrente está circulando pela chave S_1 e quando é negativa está circulando pelo diodo D_2 .

Portanto, por observação das formas de onda da Fig. 2.5, verifica-se que a corrente circulará pela chave S_1 quando a tensão na carga for positiva. Assim :

$$i_{S1}(t) = 0.5[i_o(t) + ABS(i_o(t))] \cdot \left(\frac{VS + V(t)}{2VS} \right) \quad (2.10)$$

A partir da expressão (2.10), pode-se calcular a corrente eficaz na chave S_1 .

$$I_{S1_{rms}} = \sqrt{\frac{1}{T} \int_0^T i_{S1}(t)^2 dt} \quad (2.11)$$

b. Corrente média nas chaves principais.

A expressão para o cálculo da corrente média nas chaves principais se torna :

$$I_{S_{med}} = \frac{1}{T} \int_0^T i_{S1}(t) dt \quad (2.12)$$

c. Corrente eficaz nos diodos principais.

Para se obter a corrente nos diodos principais, o procedimento é bastante semelhante ao utilizado para determinar a corrente nas chaves principais. Portanto :

$$i_{D1}(t) = 0.5[i_o(t) + ABS(i_o(t))] \cdot \left(\frac{VS - V(t)}{2VS} \right) \quad (2.13)$$

Assim, a corrente eficaz nos diodos principais é definida por:

$$I_{D_{rms}} = \sqrt{\frac{1}{T} \int_0^T i_{D_1}(t)^2 dt} \quad (2.14)$$

d. Corrente média nos diodos principais.

A expressão para cálculo da corrente média nos diodos principais é definida por:

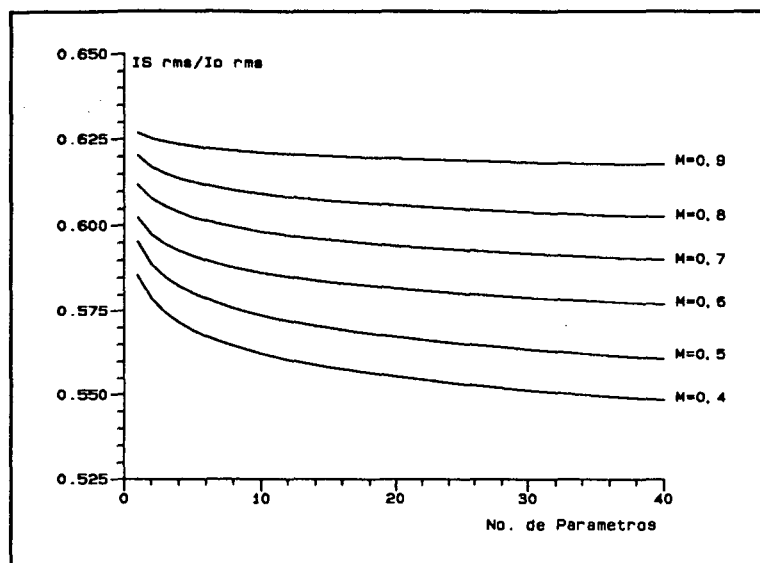
$$I_{D_{med}} = \frac{1}{T} \int_0^T I_{D1}(t) dt \quad (2.15)$$

As expressões acima não levam em conta a ressonância, que é responsável pela comutação não-dissipativa. Assim, estas expressões foram obtidas para um inversor de tensão PWM senoidal com comutação dissipativa. Entretanto, a ressonância empregada nas estruturas não-dissipativas estudadas neste trabalho, ocorre em um intervalo de tempo muito pequeno, quando comparado com o período de chaveamento dos semicondutores. Assim, acrescentar nas expressões anteriores o tempo relativo à etapa ressonante não irá contribuir para uma divergência significativa nos valores das correntes nos semicondutores principais.

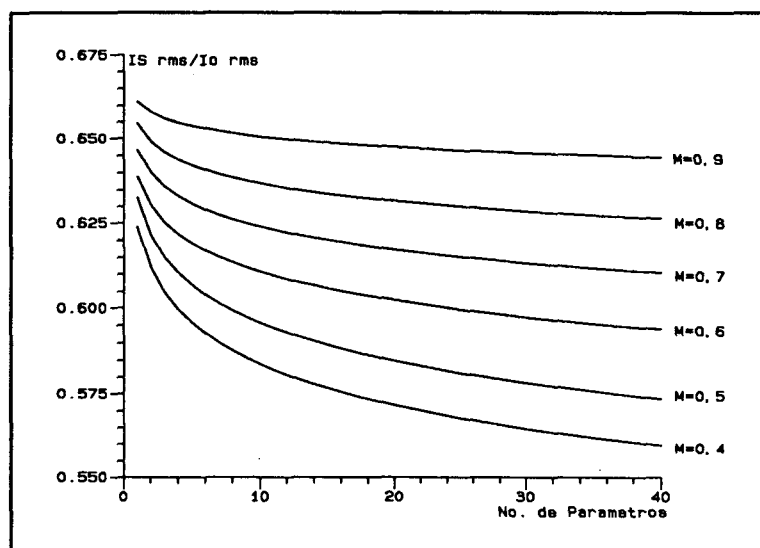
Portanto, não será determinado neste trabalho o valor das correntes médias e eficazes nas chaves auxiliares, uma vez que por estimativa, não atingem 1% do valor das respectivas correntes nas chaves principais.

Para se obter ábacos das correntes médias e eficazes nos semicondutores, foi elaborado um programa em linguagem FORTRAN (Anexo I), que realizasse tal tarefa; uma vez que não é possível se obter uma expressão analítica para estas correntes. Neste programa, tem-se como dados de entrada a frequência da fundamental de carga, a tensão de entrada do inversor, os valores de resistência e indutância equivalentes de saída e um conjunto de arquivos onde estão estocados os parâmetros de comutação independentes (α_n) para diversos fatores de modulação ($M=V_o/V_s$) e diversos números de pulsos de comutação por período.

A Fig. 2.6 apresenta o ábaco da corrente eficaz nas chaves principais, normalizada pela corrente de carga, em função do número de parâmetros independentes para alguns valores de fator de modulação.



(a)

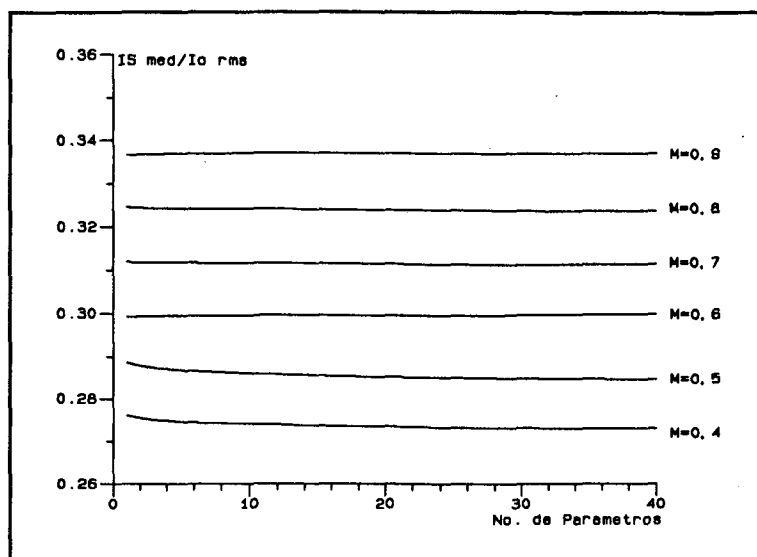


(b)

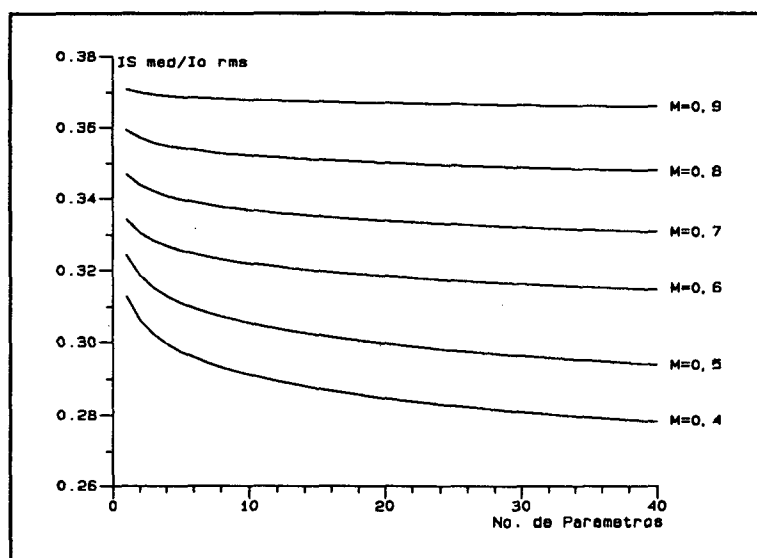
Fig. 2.6 - Corrente Eficaz Normalizada nas Chaves Principais ($I_{S_{rms}}/I_{o_{rms}}$) em Função do Número de Parâmetros Independentes Para Algumas Relações de $M=V_o/V_s$.

a) $\cos \phi = 0,7$ (b) $\cos \phi = 0,9$

A Fig. 2.7 mostra os ábacos gerados para a corrente média nas chaves principais para alguns valores de fator de modulação.



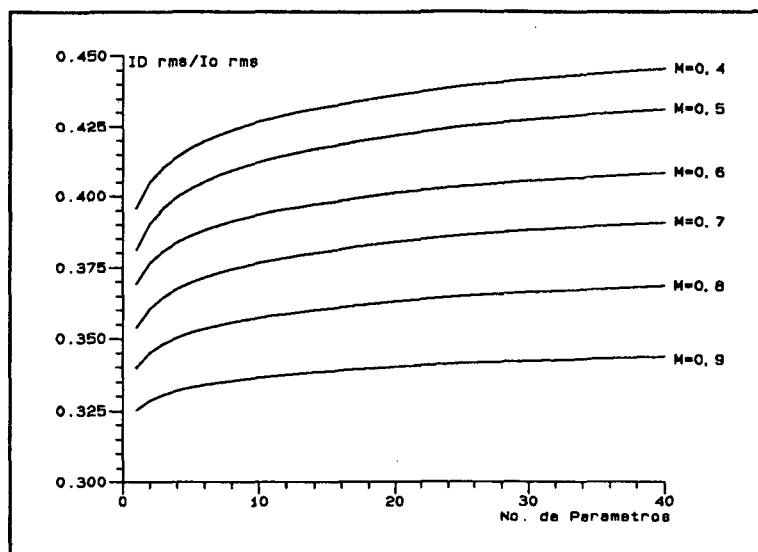
(a)



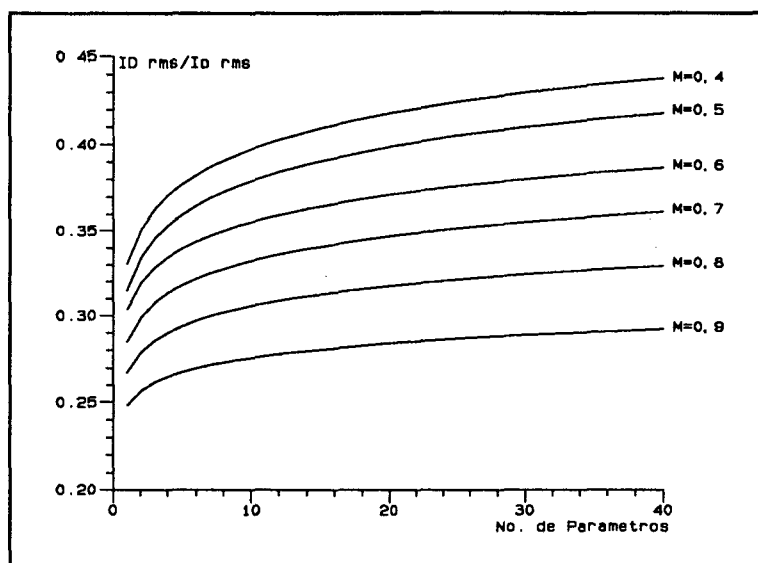
(b)

Fig. 2.7 - Corrente Média Normalizada nas Chaves Principais ($I_{S_{med}}/I_{o_{rms}}$) em Função do Número de Parâmetros Independentes Para Algumas Relações de $M=V_o/V_s$
(a) $\cos \phi = 0,7$ (b) $\cos \phi = 0,9$

As figuras 2.8 e 2.9 apresentam, respectivamente os ábacos gerados para a corrente eficaz e corrente média nos diodos principais para alguns valores de fator de modulação.

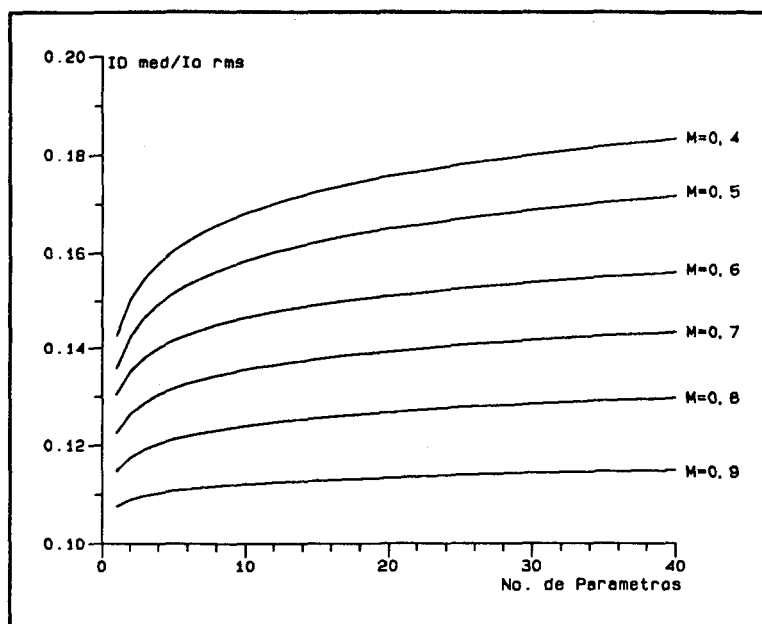


(a)

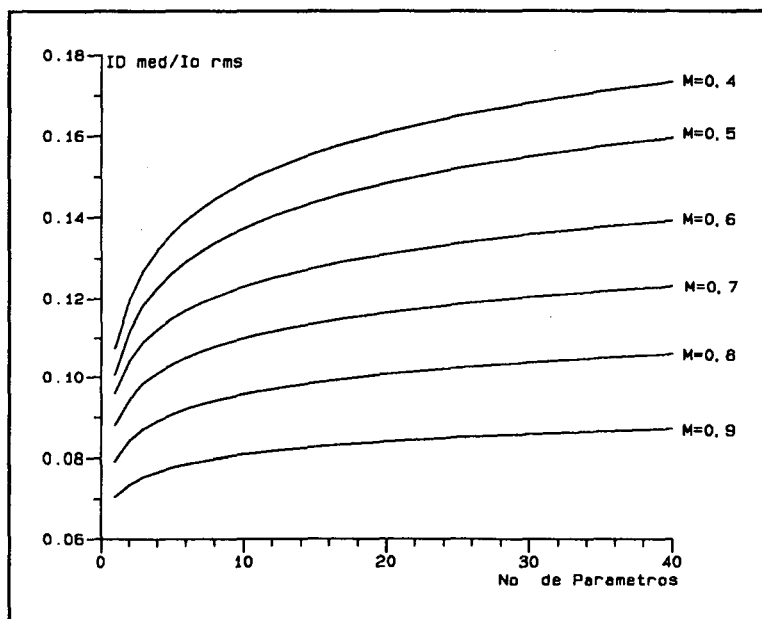


(b)

Fig. 2.8 - Corrente Eficaz Normalizada nos Diodos Principais (ID_{rms}/Io_{rms}) em Função do Número de Parâmetros Independentes Para Algumas Relações de $M=Vo/Vs$
(a) $\cos \phi = 0,7$ (b) $\cos \phi = 0,9$



(a)



(b)

Fig. 2.9 - Corrente Média Normalizada nos Diodos Principais ($ID_{med}/I_{o\ rms}$) em Função do Número de Parâmetros Independentes Para Algumas Relações de $M=V_o/V_s$
 (a) $\cos \phi = 0,7$ (b) $\cos \phi = 0,9$

Pode-se verificar através dos ábacos das Figs. 2.6 a 2.8 que quanto maior o fator de potência da carga, maior será a corrente nas chaves e menor será a corrente nos diodos, pois, no caso extremo, quando a carga for resistiva ($\cos \phi=1$), a corrente de carga circulará apenas pelas chaves, sem circular corrente alguma nos diodos. É possível também observar que quanto maior o número de parâmetros independentes, e, conseqüentemente o número de pulsos por período, menor será a corrente pelas chaves, pois não se terá grandes ondulações da corrente de carga (Fig. 2.5), diminuindo portanto, o valor eficaz e médio sobre as chaves.

Assim, uma vez estabelecido o número de pulsos de comutação, o fator de modulação e a corrente eficaz de saída, é possível, com o auxílio dos ábacos gerados, determinar as correntes médias e eficazes nos semicondutores de um inversor de tensão.

2.6 - PROJETO DO FILTRO DE SAÍDA

A fim de atenuar os harmônicos de tensão na saída de um inversor e garantir uma taxa total de distorção harmônica inferior a 5%, com a harmônica mais importante não superando 3% da amplitude da fundamental de tensão [12], torna-se imperativo o projeto de um filtro de saída adequado.

As exigências básicas no projeto de filtros que proporcionem a atenuação adequada de certos harmônicos são as seguintes [14]:

- a) a minimização dos KVAs requeridos pelo inversor;
- b) a minimização da variação da tensão de carga;
- c) a minimização do custo, tamanho e peso do filtro.

Como o objetivo dos filtros aplicados nas saídas dos inversores é a redução dos harmônicos de tensão, é necessário prover um caminho de baixa impedância (shunt) para as harmônicas de corrente, em conjunto com um elemento série sobre o qual aparecem as harmônicas de tensão.

2.6.1 - Resposta em Frequência do Filtro

O filtro escolhido, cujas principais características são a simplicidade e eficiência, está representado na Fig. 2.10. Neste filtro, o elemento série é uma indutância e o elemento paralelo é uma capacitância. Para efeito de simplificação da análise, a carga é considerada resistiva.

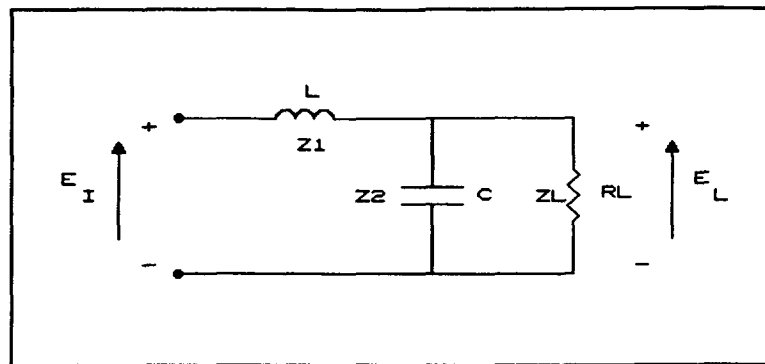


Fig. 2.10 - Filtro de Saída L-C.

Considerando Z_e o equivalente paralelo de Z_L e Z_2 , obtém-se:

$$Z_e = \frac{Z_2 \cdot Z_L}{Z_2 + Z_L} \quad (2.16)$$

A função de transferência da tensão de saída em relação à tensão de entrada fica definida por :

$$\frac{E_L}{E_I} = \frac{Z_e}{Z_e + Z_1} \quad (2.17)$$

Aplicando-se a transformada de Laplace :

$$\begin{aligned} Z_1 &= sL \\ Z_2 &= 1/sC \\ Z_L &= R_L \end{aligned} \quad (2.18)$$

Substituindo (2.18) em (2.16) resulta :

$$Z_e = \frac{R_L}{1+sCR_L} \quad (2.19)$$

De (2.19),(2.18) e (2.17), obtém-se :

$$\frac{E_L}{E_I}(s) = \frac{R_L}{s^2 LCR_L + sL + R_L} \quad (2.20)$$

Podendo a expressão (2.20) ser reescrita como :

$$\frac{E_L}{E_I}(s) = \frac{1}{s^2 LC + s \frac{L}{R_L} + 1} \quad (2.21)$$

Como :

$$\omega_f = \frac{1}{\sqrt{LC}} \text{ (freq. natural de oscilação do filtro LC)} \quad (2.22)$$

$$\xi = \frac{L \cdot \omega_f}{2R_L} \text{ (fator de amortecimento)} \quad (2.23)$$

Chega-se a seguinte expressão:

$$\frac{E_L}{E_I}(s) = \frac{1}{\frac{s^2}{\omega_f^2} + s \frac{2\xi}{\omega_f} + 1} \quad (2.24)$$

Como $s=j\omega$ e $s^2 = -\omega^2$, tem-se :

$$\frac{E_L}{E_I}(j\omega) = \frac{1}{-\frac{\omega^2}{\omega_f^2} + j2\xi \frac{\omega}{\omega_f} + 1} \quad (2.25)$$

Definindo $U = \omega/\omega_f$ como frequência normalizada, obtém-se a função de transferência normalizada, definida pela expressão (2.26).

$$\frac{E_L}{E_I} = \frac{1}{-U^2 + j2\xi U + 1} \quad (2.26)$$

O diagrama de Bode da função de transferência está representado na Fig. 2.11. Para o projeto adequado do filtro LC, a frequência ω_f deve ser fixada abaixo do harmônico de ordem mais baixa que se deseja atenuar, estando situado na região com inclinação de -40 dB/dec da curva da função de transferência.

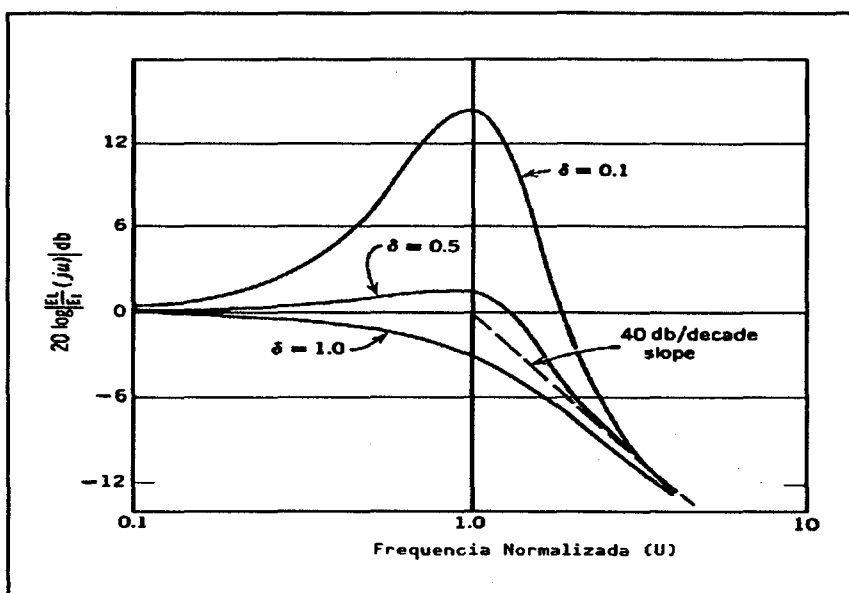


Fig. 2.11 - Diagrama de Bode da F.T. do Filtro LC.

2.6.2 - Efeitos dos Valores de L e C no Filtro de Saída.

Para um projeto adequado do filtro de saída, duas características importantes que são afetadas pelos valores de L e C devem ser consideradas :

- A regulação da fundamental de tensão $E_{L,1}/E_{I,1}$;
- O valor da corrente fundamental do inversor $I_{I,1}/I_{L,1}$.

Um valor grande de L e um pequeno valor de C permite alta regulação da fundamental de tensão e uma corrente do inversor ligeiramente superior à corrente de carga. Por outro lado, um valor pequeno de L e um grande valor de C resultará numa baixa regulação da corrente de carga, mas com um alto valor da relação entre corrente do inversor e corrente de carga.

Portanto, um estudo da inter-relação entre os valores de L e C e seus efeitos sobre o inversor deve ser realizado.

2.6.2.1 - Influência do Capacitor sobre a Corrente do Inversor.

A Fig. 2.12 mostra o filtro LC com uma carga indutiva.

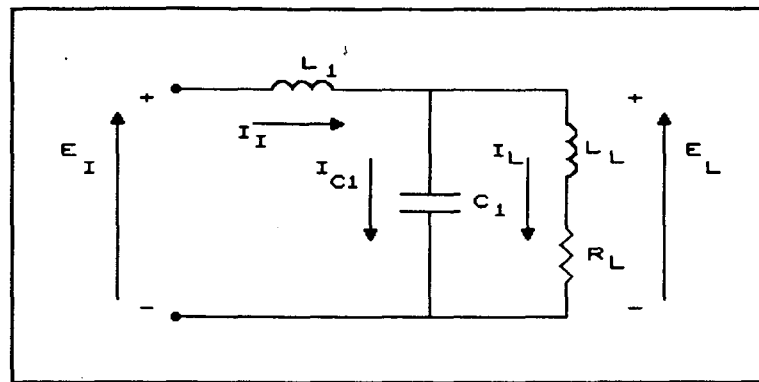


Fig. 2.12 - Filtro LC de Saída com Carga Indutiva.

A componente fundamental da corrente de entrada do inversor I_1 é definida por:

$$I_{I,1} = I_L + I_{C1,1} = \frac{V_{L,1}}{Z_{e,1}} \quad (2.27)$$

Onde $Z_{e,1}$ é a impedância equivalente da associação em paralelo da impedância do capacitor de filtro e da impedância de carga para a corrente fundamental.

$$Z_{e,1} = \frac{Z_{L,1} \cdot Z_{C1,1}}{Z_{L,1} + Z_{C1,1}} \quad (2.28)$$

Sendo :

$$Z_{L,1} = R_L + jX_{L,1} = |Z_{L,1}|(\cos\theta + j\sin\theta) \quad (2.29)$$

θ = ângulo do fator de potência.

$$Z_{C1,1} = -jX_{C1,1}$$

Seja K_1 a relação entre a impedância do capacitor de filtro e a impedância de carga para a frequência fundamental :

$$|X_{C1,1}| = K_1 |Z_{L,1}| \quad \text{ou} \quad K_1 = \frac{|X_{C1,1}|}{|Z_{L,1}|} \quad (2.30)$$

Então :

$$Z_{C1,1} = -jK_1 |Z_{L,1}| \quad (2.31)$$

Substituindo (2.31) e (2.29) em (2.28), resulta em :

$$Z_{e,1} = |Z_{L,1}| \frac{-jK_1(\cos\theta + j\sin\theta)}{\cos\theta + j(\sin\theta - K_1)} \quad (2.32)$$

Combinando (2.32) e (2.27):

$$I_{L,1} = \frac{E_{L,1}}{|Z_{L,1}|} \cdot \frac{\cos\theta + j(\sin\theta - K_1)}{K_1(\sin\theta - j\cos\theta)} \quad (2.33)$$

Como :

$$\frac{|V_{L,1}|}{|Z_{L,1}|} = I_{L,1} \quad (2.34)$$

$$\frac{|I_{L,1}|}{|I_{L,1}|} = \frac{\cos\theta + j(\sin\theta - K_1)}{K_1(\sin\theta - j\cos\theta)} \quad (2.35)$$

A expressão (2.35) representa a relação entre a componente fundamental da corrente do inversor e a corrente de carga. Esta relação está representada na Fig. 2.13 em função de K_1 para alguns valores de fator de potência. Pode-se observar nesta figura que para altos valores de K_1 tem-se uma relação praticamente unitária entre a corrente de entrada do filtro e a corrente de carga. É desejável que se tenha altos valores de K_1 , pois se terá valores menores de corrente na entrada do filtro, e conseqüentemente, nos semicondutores de potência.

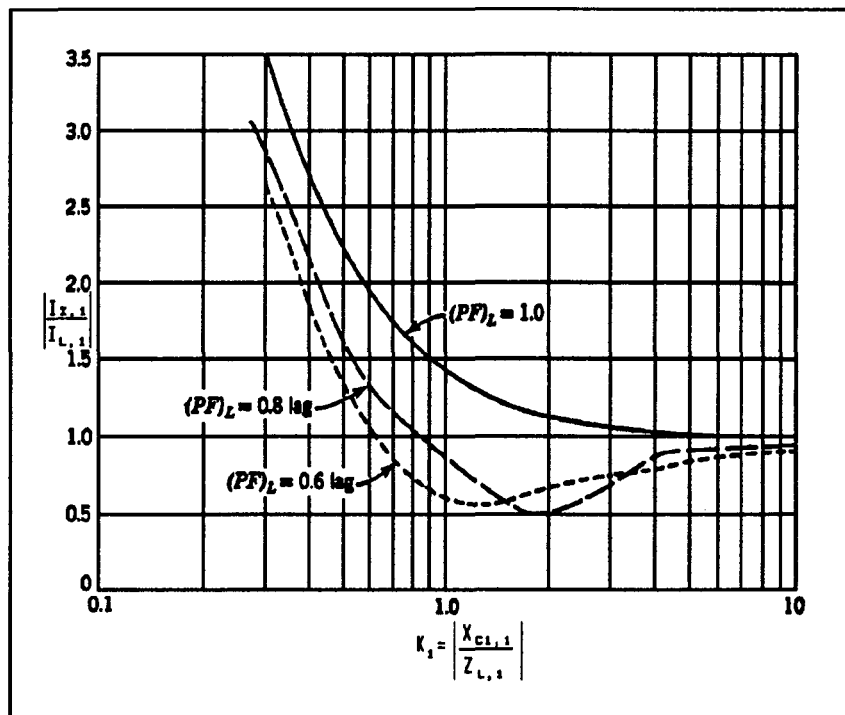


Fig. 2.13 - Comportamento da Corrente do Inversor em Função do Capacitor de Filtro.

2.6.2.2 - Regulação de Tensão.

A regulação da fundamental de tensão devido ao filtro pode ser expressa como a razão entre a tensão de carga e a tensão de saída do inversor. Esta razão é afetada tanto pelos valores do capacitor de filtro como pelos valores do indutor de filtro. O capacitor afeta a fundamental da corrente no indutor, e esta, por sua vez, determina a queda de tensão sobre o indutor.

A fundamental da tensão de carga é dada por :

$$E_{L,1} = E_{I,1} - I_{L,1} \cdot Z_{LI,1} \quad (2.36)$$

Onde :

$$Z_{LI,1} = jX_{LI,1} \quad (2.37)$$

Seja :

$$|X_{LI,1}| = K_2 |Z_{L,1}| \quad (2.38)$$

Ou:

$$K_2 = \frac{|X_{LI,1}|}{|Z_{L,1}|} \quad (2.39)$$

Portanto, de (2.39) e (2.36) :

$$\frac{E_{L,1}}{E_{I,1}} = 1 - \frac{I_{L,1}}{E_{I,1}} jK_2 |Z_{L,1}| \quad (2.40)$$

$$\frac{I_{L,1}}{E_{I,1}} = \frac{1}{Z_{L,1}} = \frac{1}{Z_{e,1} + jX_{LI,1}} \quad (2.41)$$

Combinando (2.32) em (2.41) resulta :

$$\frac{I_{L,1}}{E_{I,1}} = \frac{1}{|Z_{L,1}| \cdot \frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)} + j \cdot K_2 |Z_{L,1}|} \quad (2.42)$$

Substituindo (2.42) em (2.40) :

$$\frac{E_{L,1}}{E_{I,1}} = 1 - \frac{jK_2}{jK_2 + \frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)}} \quad (2.43)$$

$$\frac{E_{L,1}}{E_{I,1}} = \frac{\frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)}}{\frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)} + jK_2} \quad (2.44)$$

A Fig. 2.14 mostra a razão entre a componente fundamental da tensão de carga e a da tensão do inversor como uma função de K_2 para diversos valores de K_1 e de fator de potência. Através desta figura pode-se observar que para altos valores de K_1 , deverá se ter baixos valores de K_2 a fim de que se tenha uma pequena atenuação da tensão de saída em relação à tensão de entrada do filtro.

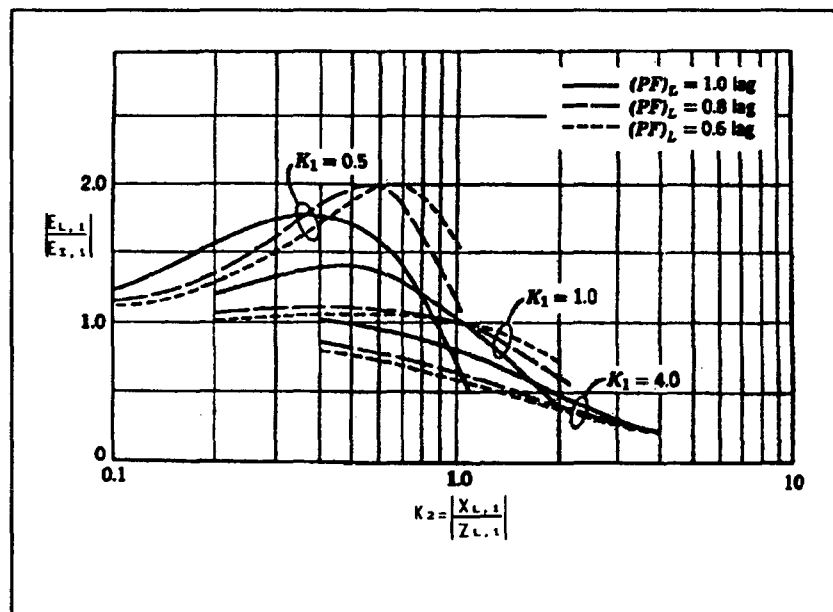


Fig. 2.14 - Comportamento da Tensão de Carga em Função de K_2 para Diversos Valores de K_1 e de Fator de Potência.

2.6.2.3 - Determinação das Relações para Harmônicas de Ordem n.

É desejável se conhecer os efeitos de L_1 e C_1 na atenuação das harmônicas de ordem n. Assim, para a n-ésima harmônica :

$$|X_{LI,n}| = n |X_{LI,1}| = n K_2 |Z_{L,1}| \quad (2.45)$$

$$|X_{CI,n}| = \frac{|X_{CI,1}|}{n} = \frac{K_1 |Z_{L,1}|}{n} \quad (2.46)$$

$$Z_{L,n} = R_L + j |X_{L(L),n}| = R_L + j n |X_{L(L),1}| \quad (2.47)$$

Onde:

$$R_L = |Z_{L,1}| \cdot \cos\theta \quad (2.48)$$

$$j \cdot |X_{L(L),1}| = |Z_{L,1}| \cdot \sin\theta \quad (2.49)$$

$$Z_{L,n} = |Z_{L,1}| (\cos\theta + j \cdot n \cdot \sin\theta) \quad (2.50)$$

A relação entre tensão de carga e tensão do inversor é desenvolvida :

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{I_{L,n} |j X_{LI,n}|}{E_{I,n}} = 1 - \frac{j |X_{LI,n}|}{Z_{I,n}} \quad (2.51)$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{j |X_{LI,n}|}{Z_{e,n} + j |X_{LI,n}|} \quad (2.52)$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{j n K_2 |Z_{L,1}|}{Z_{e,n} + j n K_2 |Z_{L,1}|} \quad (2.53)$$

$$\frac{E_{L,n}}{E_{I,n}} = 1 - \frac{jnK_2}{jnK_2 + \frac{Z_{e,n}}{|Z_{L,1}|}} \quad (2.54)$$

$$\frac{E_{L,n}}{E_{I,n}} = \frac{jnK_2 + \frac{Z_{e,n}}{|Z_{L,1}|} - jnK_2}{jnK_2 + \frac{Z_{e,n}}{|Z_{L,1}|}} \quad (2.55)$$

$$jnK_2 + \frac{Z_{e,n}}{|Z_{L,1}|} = \frac{E_{I,n}}{E_{L,n}} \cdot \frac{Z_{e,n}}{|Z_{L,1}|} \quad (2.56)$$

Assim :

$$K_2 = \frac{Z_{e,n}}{jn|Z_{L,1}|} \left(\frac{E_{I,n}}{E_{L,n}} - 1 \right) \quad (2.57)$$

Seja $K_{A,n}$ a atenuação requerida para a n-ésima harmônica :

$$K_{A,n} = \frac{E_{I,n}}{E_{L,n}} \quad (2.58)$$

Com :

$$Z_{e,n} = \frac{Z_{L,n}(-j|X_{CI,n}|)}{Z_{L,n} + (-j|X_{CI,n}|)} \quad (2.59)$$

$$Z_{e,n} = \frac{|Z_{L,1}|(\cos\theta + jn\sin\theta) \cdot (-j\frac{K_1}{n}|Z_{L,1}|)}{|Z_{L,1}|(\cos\theta + jn\sin\theta) + (-j\frac{K_1}{n}|Z_{L,1}|)} \quad (2.60)$$

Assim :

$$\frac{Z_{e,n}}{|Z_{L,1}|} = \frac{-j\frac{K_1}{n}(\cos\theta + jn\sin\theta)}{(\cos\theta + jn\sin\theta) - j\frac{K_1}{n}} \quad (2.61)$$

$$\frac{Z_{e,n}}{jZ_{L,1}} = -\frac{\frac{K_1}{n}(\cos\theta + jn\sin\theta)}{\cos\theta + j(n\sin\theta - \frac{K_1}{n})} \quad (2.62)$$

Substituindo (2.62) e (2.58) em (2.57), e admitindo que K_2 é um número real :

$$K_2 = \frac{K_1}{n} \left| \frac{\cos\theta + jn\sin\theta}{\cos\theta + j\left(n\sin\theta - \frac{K_1}{n}\right)} \right| (K_{A,n} - 1) \quad (2.63)$$

A Fig. 2.15 mostra K_2 como função de K_1 para atenuação dos harmônicos de ordem n . Esta figura mostra que, quanto maior a harmônica a ser filtrada, para um dado K_1 e K_A , menor deverá ser K_2 e conseqüentemente, o indutor do filtro.

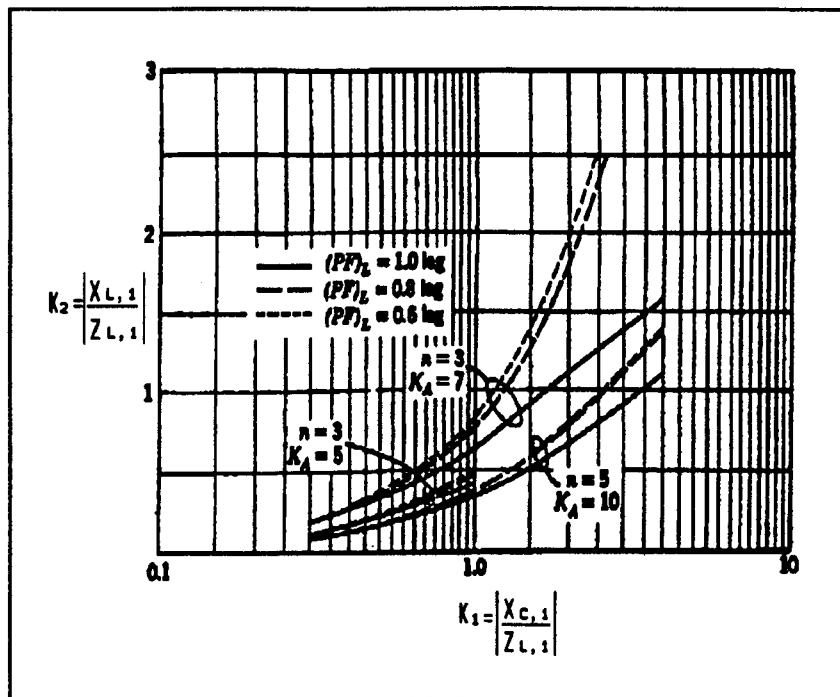


Fig. 2.15 - Comportamento do Indutor de Filtragem em Função do Capacitor de Filtragem para algumas harmônicas e atenuações.

Considerando a impedância de carga para a n -ésima harmônica muito maior que a impedância do capacitor do filtro, obtém-se uma relação muito importante para a determinação da corrente no indutor do filtro :

$$E_{I,n} = X_{L1,n} \cdot I_{I,n} + X_{C1,n} \cdot I_{I,n} \quad (2.64)$$

Logo :

$$E_{I,n} = \frac{1 - (n\omega)^2 \cdot L_1 \cdot C_1}{j \cdot n \cdot \omega \cdot C_1} \cdot I_{I,n} \quad (2.65)$$

Onde : ω = frequência angular da fundamental de tensão.

As Figs. 2.13, 2.14 e 2.15 contém informações importantes sobre o efeito dos valores de L e C na performance do filtro. Assim, um projeto adequado deve buscar um compromisso entre a atenuação dos harmônicos desejados, a regulação de tensão e a relação entre corrente no inversor e corrente de carga. Deve-se projetar um capacitor grande o suficiente para que se tenha o mínimo de distorção na tensão de saída, e um indutor pequeno, porém, com o compromisso de não se elevar excessivamente a corrente que circula pelo filtro e pelo inversor.

2.7 - CONCLUSÕES

Neste capítulo foram apresentados alguns tipos de modulação empregados em inversores. A modulação escolhida para implementação experimental é a modulação PWM senoidal. A modulação PWM senoidal otimizada permitiria uma eliminação melhor dos harmônicos de baixa ordem, mas, devido a limitações práticas das larguras de pulso de comando mínimas permissíveis e sensíveis pelos semicondutores comandados, este tipo de modulação poderia trazer resultados não tão satisfatórios, exceto caso se determinasse uma largura de pulso de comando mínima ao se otimizar os pulsos de comando.

Foi desenvolvido um estudo sobre a corrente que circula nos semicondutores principais, sendo então gerados ábacos para dimensionamento das correntes dos semicondutores principais. Para os semicondutores auxiliares se torna desnecessário, pois a corrente eficaz que circula pelos mesmos é muito pequena, quando comparada com aquela dos semicondutores principais. Além disso, a determinação destas grandezas se torna relativamente complexa.

O estudo teórico do filtro de saída mostra um forte compromisso em se obter uma tensão de saída senoidal, com baixa distorção harmônica, sem apresentar grande circulação de reativos pelo filtro de saída.

CAPÍTULO III

PROJETO DO INVERSOR PROPOSTO

3.1 - INTRODUÇÃO

O objetivo deste capítulo é apresentar o procedimento para projeto do inversor em ponte completa proposto, com modulação PWM senoidal. O procedimento para projeto faz uso das relações e ábacos obtidos no capítulo anterior.

Também são apresentados resultados de simulação numérica da parte de potência, que mostram o comportamento global do inversor a ser implantado.

A topologia proposta é dimensionada, visando a montagem de um protótipo de laboratório de baixa potência.

3.2 - PROCEDIMENTO PARA PROJETO

A Fig. 3.1 mostra o esquema completo da parte de potência do inversor proposto.

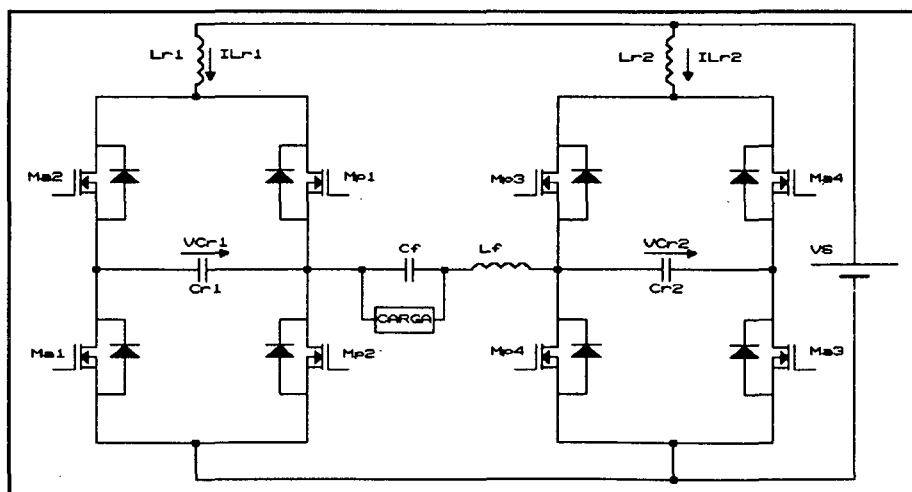


Fig. 3.1 - Inversor em Ponte Completa com Comutação Não-Dissipativa.

A fim de se determinar os valores dos componentes da Fig. 3.1, segue-se os seguintes passos para projeto:

- a) Define-se os valores $P_{o_{max}}$, $V_{o_{rms}}$, fator de modulação, número de harmônicas eliminadas pela modulação, frequência de ressonância e α_{max} . Para efeito de simplificação, considera-se carga resistiva;

- b) De posse de $V_{o_{rms}}$, determina-se o valor de pico da senóide de saída.

$$V_{o_{pk}} = V_{o_{rms}} \cdot \sqrt{2} \quad (3.1)$$

Com o valor de pico e o fator de modulação, acha-se o valor da tensão no barramento DC.

$$V_S = \frac{V_{o_{pk}}}{M} \quad (3.2)$$

- c) Calcula-se o valor da impedância equivalente de carga para a frequência fundamental.

$$|Z_{L,1}| = \frac{V_{o_{rms}}^2}{P_o} \quad (3.3)$$

- d) Procede-se o cálculo do filtro L-C de saída.

- d.1) Estima-se um valor para K_1 , definido pela equação (2.30). Deve-se observar que para altos valores de K_1 , tem-se uma reatância capacitiva maior, o que não é desejável, pois o capacitor deve funcionar como um caminho de baixa impedância para as harmônicas de corrente;

- d.2) Através da expressão (2.31) obtém-se o valor da reatância

capacitiva, determinando-se, conseqüentemente, o capacitor de filtro C_1 ;

- d.3) Obtém-se a relação entre a corrente fundamental do inversor e a corrente de carga através da expressão (2.35);
 - d.4) Estipula-se um valor para a atenuação desejada da harmônica de tensão mais significativa, e encontra-se o valor de K_2 através da expressão (2.63);
 - d.5) De posse de K_2 , verifica-se a relação entre a tensão de carga e a fundamental da tensão do inversor através da expressão (2.44). Observa-se que para altos valores de K_1 deve-se ter baixos valores de K_2 (Fig. 2.14), a fim de que esta relação não tenha valores muito menores que a unidade;
 - d.6) Calcula-se a impedância indutiva do filtro através da expressão (2.38) e, conseqüentemente, o valor do indutor de filtro;
- e) Calcula-se o valor da corrente eficaz e de pico na carga.

$$I_{o_{rms}} = \frac{P_o}{V_{o_{rms}}} \quad (3.4)$$

$$I_{o_{pk}} = I_{o_{rms}} \cdot \sqrt{2} \quad (3.5)$$

Com o valor da corrente de pico na carga, estima-se o valor de pico da componente fundamental da corrente no indutor de filtro através da expressão (2.35). Para carga linear, as harmônicas mais importantes estarão situadas na região da frequência de chaveamento dos semicondutores principais. Pode-se obter estas correntes através das expressões (2.4), (2.5) e (2.65). Uma vez obtidos os valores destas componentes, pode-se obter os valores da corrente de pico e corrente eficaz no indutor de filtro.

- f) Calcula-se o valor da impedância característica (Z_o) do circuito ressonante através da expressão (1.3). Chega-se então a uma relação entre L_r e C_r . Outra relação entre L_r e C_r é obtida através da expressão da frequência de ressonância (1.2). Assim :

$$L_r = Z_o^2 \cdot C_r \quad (3.6)$$

$$\sqrt{L_r \cdot C_r} = \frac{1}{2 \cdot \pi \cdot f_o} \quad (3.7)$$

- g) Através das expressões (1.61) a (1.80), determina-se os valores de tensão e corrente máximas de interesse nos componentes do circuito;
- h) Com o auxílio dos ábacos das Figs. 2.6 a 2.9, determinam-se as correntes médias e eficazes nos semicondutores principais.
- i) Através das expressões (1.58) e (1.60) e do ábaco da Fig. 1.13, determinam-se os tempos de condução máximo e mínimo permissíveis das chaves auxiliares. Faz-se a escolha do tempo de condução dentro desta faixa. Cabe ressaltar que estes tempos de condução não interferem na modulação das chaves principais, devendo apenas o tempo mínimo de condução da chave principal ser maior do que o tempo de condução escolhido das chaves auxiliares.

3.3 - EXEMPLO DE PROJETO

Nesta seção serão determinados, a partir das especificações do inversor, os valores dos elementos do filtro de saída, dos elementos ressonantes, bem como os valores de tensões e correntes de interesse.

3.3.1 - Especificações do Inversor

- Potência de Saída : $P_o = 500 \text{ W}$.
- Tensão de Saída : $V_o = 110 \text{ V}_{rms}$ (60 Hz senoidal).
- Fator de Modulação.
$$M = \frac{V_{o_{pk}}}{V_S} = 0,9$$
- Número de pulsos por período de modulação : $N_p = 81$ pulsos.
- ordem da harmônica de tensão mais significativa a filtrar: $n = 81$.
- frequência de ressonância : $f_o = 600 \text{ KHz}$.
- $\alpha_{max} = 0,5$.

3.3.2 - Cálculo dos Parâmetros do Inversor

- a) Valor de pico da senóide de saída.

$$V_{o_{pk}} = V_{o_{rms}} \cdot \sqrt{2}$$

$$V_{o_{pk}} = 155.56 \text{ V}$$

- b) Tensão no barramento DC.

$$V_S = \frac{V_{o_{pk}}}{M}$$

$$V_S = 173 \text{ V}$$

- c) Impedância equivalente de carga para a fundamental.

$$|Z_{L,1}| = \frac{V_{o_{rms}}^2}{P_o}$$

$$|Z_{L,1}| = 24,2 \Omega$$

d) Cálculo do filtro de saída.

d.1) Seja $K_1=2$

$$|X_{CL,1}| = K_1 \cdot |Z_{L,1}|$$

$$|X_{CL,1}| = 48,4 \, \Omega$$

Logo :

$$C_1 = \frac{1}{2 \cdot \pi \cdot f \cdot X_{CL,1}}$$

$$C_1 = 54,8 \, \mu F$$

Dimensionando para o valor comercial mais próximo :

$$C_1 = 60 \, \mu F \quad (\text{Icotron})$$

Recalculando K_1 :

$$X_{CL,1} = 44,2 \, \Omega$$

$$K_1 = 1,83$$

d.2) Tem-se que :

$$\frac{I_{L,1}}{I_{L,1}} = \frac{\cos\theta + j(\sin\theta - K_1)}{K_1(\sin\theta - j\cos\theta)}$$

$$\left| \frac{I_{L,1}}{I_{L,1}} \right| = 1,14$$

d.3) Harmônica mais significativa : $n=81$.

Atenuação desejada : 53 dB. $K_{A,n} = 450$.

$$K_2 = \frac{K_1}{n^2} \left| \frac{\cos\theta + jn\sin\theta}{\cos\theta + j\left(n\sin\theta - \frac{K_1}{n}\right)} \right| (K_{A,n} - 1)$$

$$K_2 = 125,1716 \times 10^{-3}$$

d.4) Atenuação da fundamental de tensão de carga em relação a fundamental da tensão do inversor:

$$\frac{E_{L,1}}{E_{I,1}} = \frac{\frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)}}{\frac{K_1(\sin\theta - j\cos\theta)}{\cos\theta + j(\sin\theta - K_1)} + jK_2}$$

$$\left| \frac{E_{L,1}}{E_{I,1}} \right| = 1,064$$

Verifica-se aqui uma condição ótima, uma vez que não existe atenuação da fundamental de tensão .

d.5) Cálculo do indutor de filtro.

$$|X_{LI,1}| = K_2 |Z_{LI,1}|$$

$$|X_{LI,1}| = 3,0291 \, \Omega$$

$$L_1 = \frac{1}{2 \cdot \pi \cdot f \cdot 3,0291}$$

$$L_1 = 875 \, \mu H$$

Adota-se:

$$L_1 = 850 \, \mu H$$

e) .Corrente eficaz na carga.

$$I_{o_{rms}} = \frac{P_o}{V_{o_{rms}}}$$

$$I_{o_{rms}} = 4.55A$$

.Corrente de pico na carga.

$$I_{o_{pk}} = 6,43A$$

.Corrente de pico da fundamental de corrente no indutor de filtro.

$$I_{L,1_{pk}} = I_{o_{pk}} \left| \frac{I_{L,1}}{I_{L,1}} \right| = 6,43 \times 1,14$$

$$I_{L,1_{pk}} = 7,33A_{pk}$$

.Corrente eficaz da fundamental de corrente no indutor de filtro.

$$I_{L,1_{rms}} = 5,18A$$

Através da expressão (2.4) obtém-se os valores de pico das harmônicas de tensão na saída do inversor. A tabela 3.I mostra os valores de pico e eficazes das harmônicas mais significativas, juntamente com seus respectivos ângulos de fase para um índice de modulação igual a 0,9 com 81 pulsos de comando por período.

**Tabela 3.I - Tensões Eficazes e de Pico das Harmônicas de Ordem n
na saída do inversor**

ordem da harmônica	$E_{1,n}$ pk (V)	$E_{1,n}$ rms (V)	ϕ (graus)
1	155,67	110,07	0
81	107,69	76,15	180
83	86,48	61,15	180
85	23,61	16,69	180
87	1,81	1,28	180

Verifica-se, que ao se calcular o valor eficaz da forma de onda resultante destes harmônicos através da expressão (3.8), obtém-se uma tensão eficaz de 148 V. Na realidade, tem-se como tensão eficaz total o valor da tensão do barramento DC, ou seja 173 V. Esta diferença ocorre, devido ao fato de estes harmônicos de tensão, apresentados na Tabela I, serem apenas os mais significativos. Portanto, a Tabela I não representa a totalidade dos harmônicos presentes no inversor, ocasionando este erro no cálculo da tensão eficaz do inversor. Este erro será propagado no cálculo da corrente eficaz e de pico no indutor de filtro (corrente de saída do inversor).

$$V_{I_{rms}} = \sqrt{V_{I,1_{rms}}^2 + V_{I,81_{rms}}^2 + V_{I,83_{rms}}^2 + V_{I,85_{rms}}^2 + V_{I,87_{rms}}^2} \quad (3.8)$$

Através da expressão (2.65) e dos dados da Tabela I, determina-se os valores eficazes dos harmônicos de corrente no indutor de filtro. A Tabela 3.II mostra estes valores de corrente eficaz e de pico, bem como os respectivos ângulos de fase.

Tabela 3.II - Correntes Eficazes e de Pico dos Harmônicos
de ordem n no Indutor de Filtro

número da harmônica	$I_{i,n}$ pk	$I_{i,n}$ rms	ϕ (graus)
1	7,33	5,18	90
81	4,24	3,00	-90
83	3,32	2,35	-90
85	0,89	0,63	-90
87	0,07	0,047	-90

Portanto, através dos dados da Tabela 3.II obtém-se os valores da corrente eficaz e corrente de pico no indutor de filtro.

$$I_{I_{rms}} = \sqrt{5,18^2 + 3^2 + 2,35^2 + 0,625^2 + 0,047^2}$$

$$I_{I_{rms}} = 6,46A$$

$$I_{I_{rms}} \approx 6,5A$$

$$I_{I_{pk}} = \sum_{n=1}^{87} I_{I,n_{pk}} \sin(n\omega t + \phi_n)$$

$$I_{I_{pk}} = 14,7A$$

$$I_{I_{pk}} \approx 15A$$

f) Definição dos Elementos Ressonantes.

$$Z_o = \frac{\alpha_{max} \cdot Vs}{I_{I_{pk}}}$$

$$Z_o = \frac{0,5 \cdot 173}{15}$$

$$Z_o = 5,77 \Omega$$

$$Z_o = \sqrt{\frac{L_r}{C_r}}$$

Como :

$$\frac{L_r}{C_r} = 33,3$$

$$L_r = 33,3 \cdot C_r$$

Da expressão (3.7) :

$$\sqrt{L_r \cdot C_r} = \frac{1}{2 \cdot \pi \cdot f_o}$$

$$C_r = \frac{1}{2 \cdot \pi \cdot 5,77 \cdot 600 \cdot 10^3}$$

$$C_r = 46 \text{ nF}$$

Escolhendo-se um valor comercial para C_r :

$$C_r = 47 \text{ nF}$$

$$L_r = 33,3 \cdot C_r$$

$$L_r = 1,6 \mu\text{H}$$

- g) Determinação dos valores máximos de interesse nos elementos do circuito.

A tabela 3.III apresenta os valores máximos de interesse do circuito, calculados através das expressões (1.61) a (1.80)

**Tabela 3.III - Valores Máximos de Interesse nos Elementos
do Circuito**

Grandeza		Valor
Tensão máxima no capacitor ressonante	(V)	346
Tensão máxima nas chaves principais	(V)	346
Tensão máxima nas chaves auxiliares	(V)	346
Tensão reversa máxima nos diodos principais	(V)	346
Tensão reversa máxima nos diodos auxiliares	(V)	346
Corrente máxima no indutor ressonante	(A)	45
Corrente máxima nas chaves principais	(A)	45
Corrente máxima nas chaves auxiliares	(A)	30
Corrente máxima nos diodos principais	(A)	15
Corrente máxima nos diodos auxiliares	(A)	30

- h) As correntes médias e eficazes nos semicondutores principais, obtidas com auxílio dos ábacos das Figs. 2.6 a 2.9 para $M = 0,9$ e um número de parâmetros igual a 40 (81 pulsos por período) e fator de potência unitário, são apresentadas na Tabela 3.IV.

Tabela 3.IV - Correntes Médias e Eficazes nos Semicondutores Principais

Grandeza		Valor
Corrente eficaz nos transistores principais	(A)	4,6
Corrente média nos transistores principais	(A)	3,5
Corrente eficaz nos diodos principais	(A)	0,2
Corrente média nos diodos principais	(A)	0,006

- i) Através do ábaco da Fig. 1.13 e das expressões (1.58) e (1.60), determina-se o tempo de condução para as chaves auxiliares.

$$T_{on_{min}} = \frac{1}{2 \cdot \pi \cdot 600 \cdot 10^3} \cdot (\pi + \sin^{-1} 0,5)$$

$$T_{on_{min}} = 972 ns$$

$$T_{on_{max}} = \frac{1}{2 \cdot \pi \cdot 600 \cdot 10^3} \cdot (2\pi - \sin^{-1} 0,5)$$

$$T_{on_{max}} = 1,53 \mu s$$

Escolhe-se então o tempo de condução para as chaves auxiliares :

$$T_{on} = 1,3 \mu s$$

3.4 - RESULTADOS DE SIMULAÇÃO

Nesta seção são apresentados resultados de simulação empregando-se o programa SCVOLT [23]. Utilizou-se uma modulação PWM senoidal clássica de 81 pulsos por período para duas condições de carga:

- a) inversor alimentando carga linear;
- b) inversor alimentando carga não-linear;

3.4.1 - Inversor Alimentando Carga Linear.

A Fig. 3.2 apresenta o circuito de potência do inversor simulado com seus respectivos parâmetros. Foi utilizada para os MOSFETs principais (Mp1 a Mp4) uma modulação PWM senoidal de 81 pulsos de comando por período da senóide de saída. Os MOSFETs auxiliares (Ma1 a Ma4) entram em condução de modo a realizar a comutação não dissipativa em todos os semicondutores, conforme análise realizada no Capítulo I.

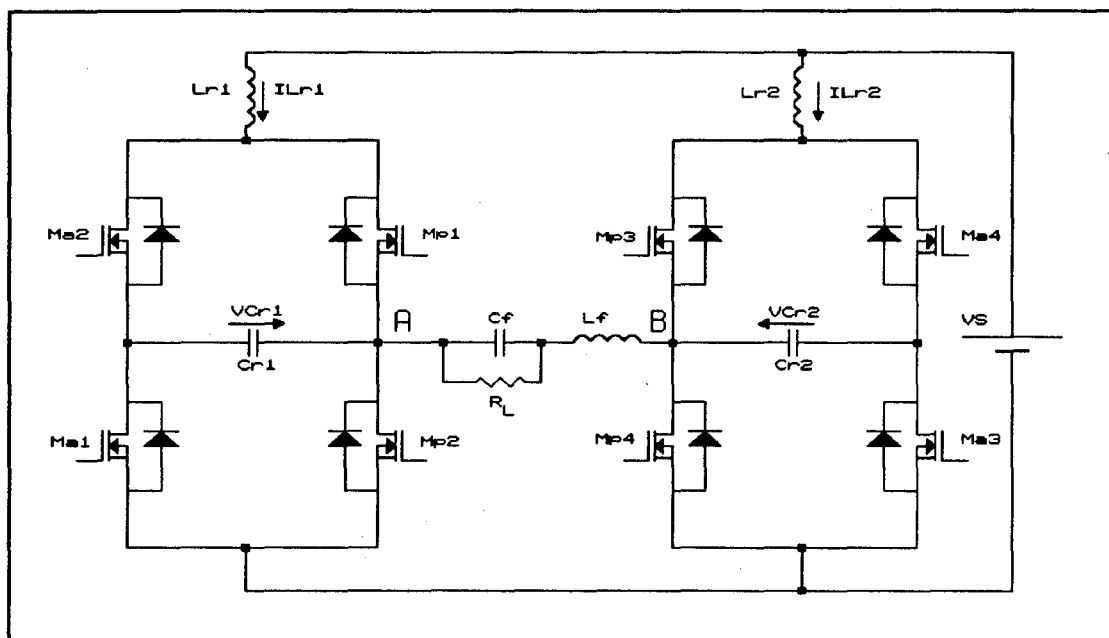


Fig. 3.2 - Inversor Alimentando Carga Linear.

Nas Figs. 3.3 a 3.8 são apresentadas as formas de onda relevantes do inversor.

A Fig. 3.3 mostra a tensão na saída do estágio inversor (VAB). Verifica-se que a tensão VAB atinge o dobro da tensão do barramento DC durante os intervalos de ressonância. Estes intervalos são de curta duração, e não afetarão de forma significativa a tensão de saída, após o circuito L-C de filtragem.

A tensão de carga VC_f , representada na Fig. 3.4.(a) apresenta uma taxa de distorção harmônica de 1,67%, que é definida pela expressão (3.9). Para cálculo da distorção harmônica foi utilizado o programa DSN [24], levando-se em conta no cálculo até a harmônica de 90ª ordem e com um arquivo de 6200 pontos de simulação. A

harmônica mais importante da tensão de saída é a 81ª harmônica, e sua amplitude representa 1,16% da amplitude da fundamental, sendo, portanto, menor que 3% [12]. Seu espectro harmônico é mostrado na Fig. 3.4 (b).

$$TDH(\%) = \frac{\sqrt{\left(\sum_{n=1}^{\infty} I_{n_{rms}}^2\right) - I_{fund_{rms}}^2}}{I_{fund_{rms}}} \times 100 \quad (3.9)$$

Onde : $I_{n_{rms}}$ = Corrente eficaz do harmônico de ordem n.

$I_{fund_{rms}}$ = Corrente eficaz da componente fundamental.

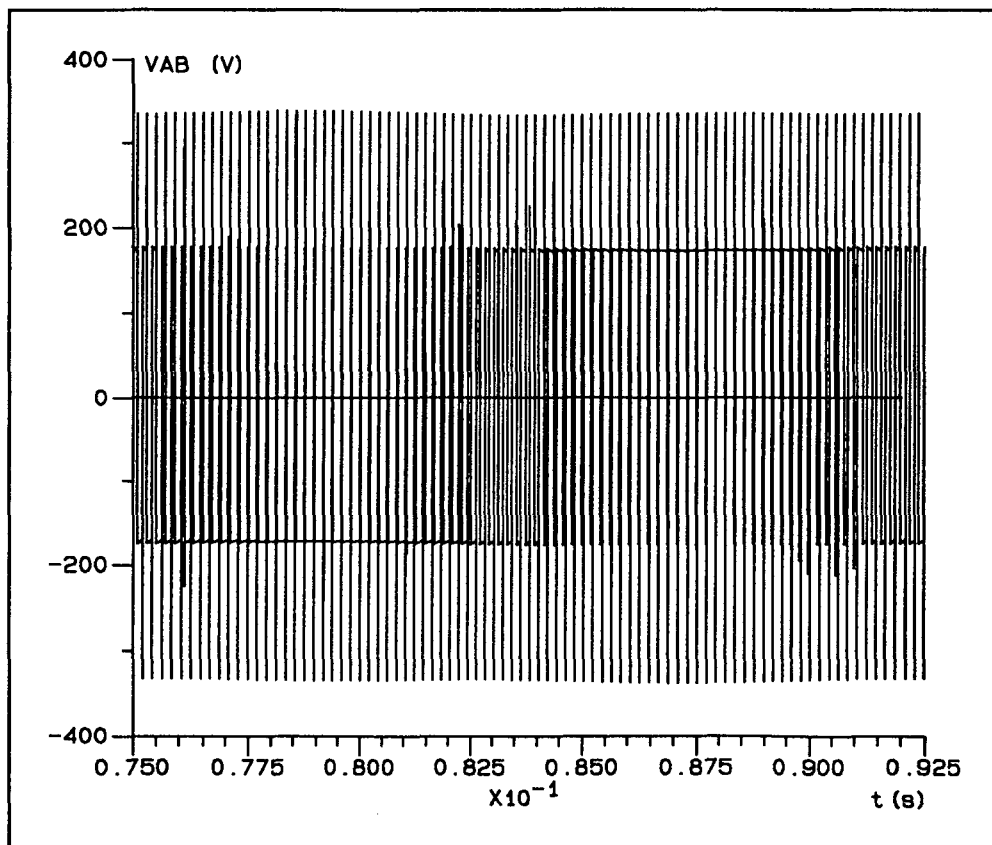


Fig. 3.3 - Tensão de Saída do Inversor (VAB)

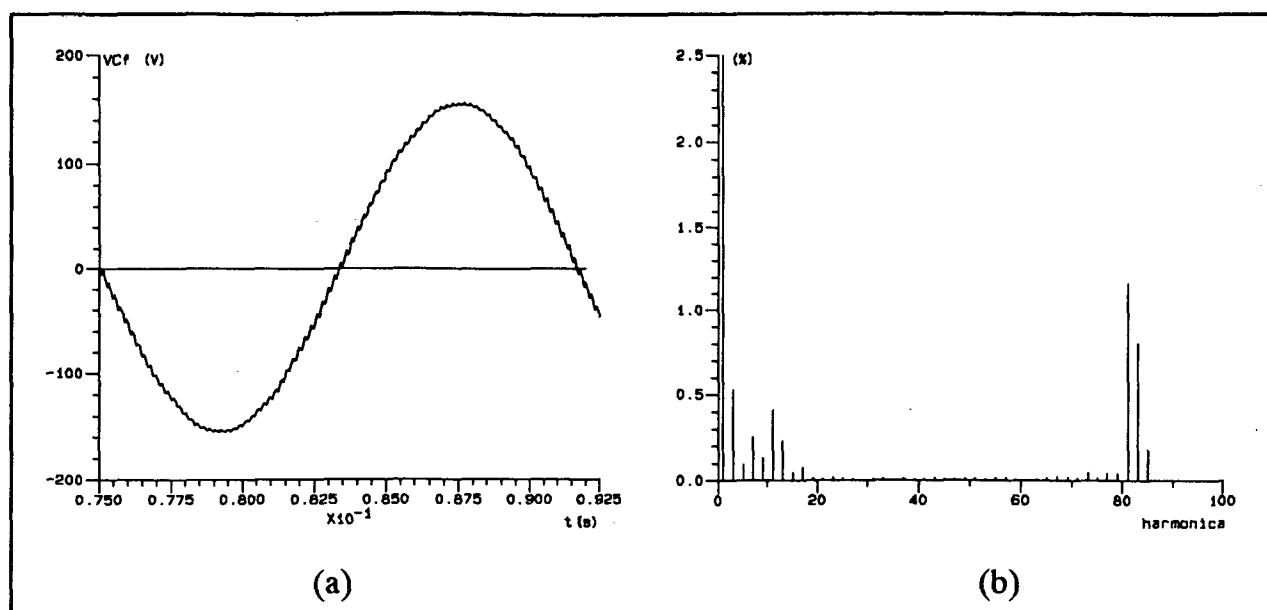


Fig 3.4 - (a) Tensão de Carga (VC_f).

(b) Espectro Harmônico da Tensão de Carga.

A Fig. 3.5 apresenta a forma de onda no indutor de filtragem, onde verifica-se que a corrente de pico tem o valor de aproximadamente 15 ampéres, como previsto no estudo analítico anterior.

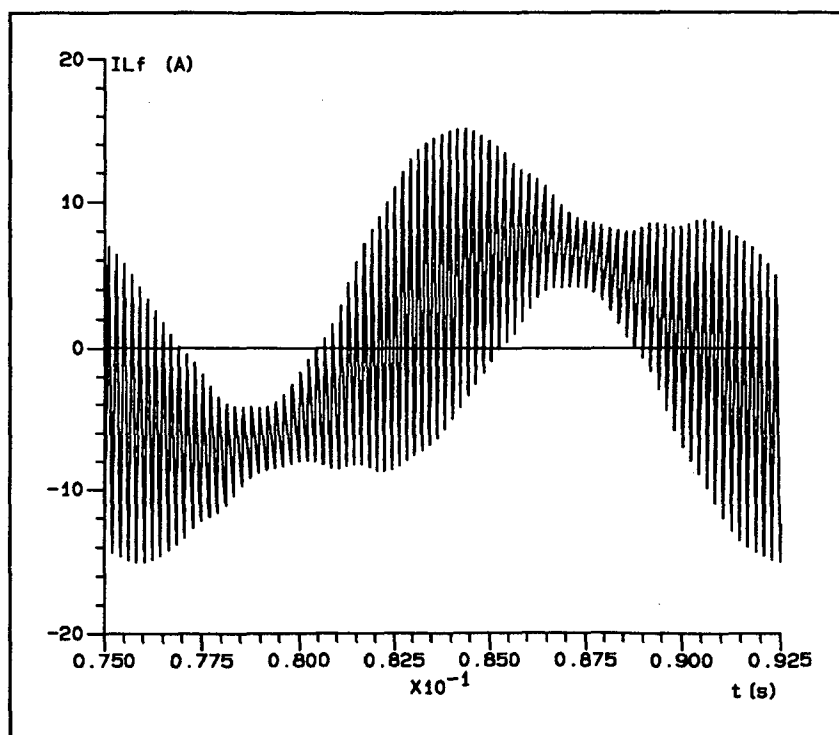


Fig. 3.5 - Corrente no Indutor de Filtragem (IL_f).

A Fig. 3.6 mostra a tensão no capacitor ressonante V_{Cr1} , onde pode se verificar que a tensão excursions nos dois quadrantes alternadamente e tendo como valor de pico o dobro da tensão do barramento DC. Isto ocorre devido ao intervalo ressonante, sendo que esta tensão se refletirá nos semicondutores, levando-os ao sobredimensionamento.

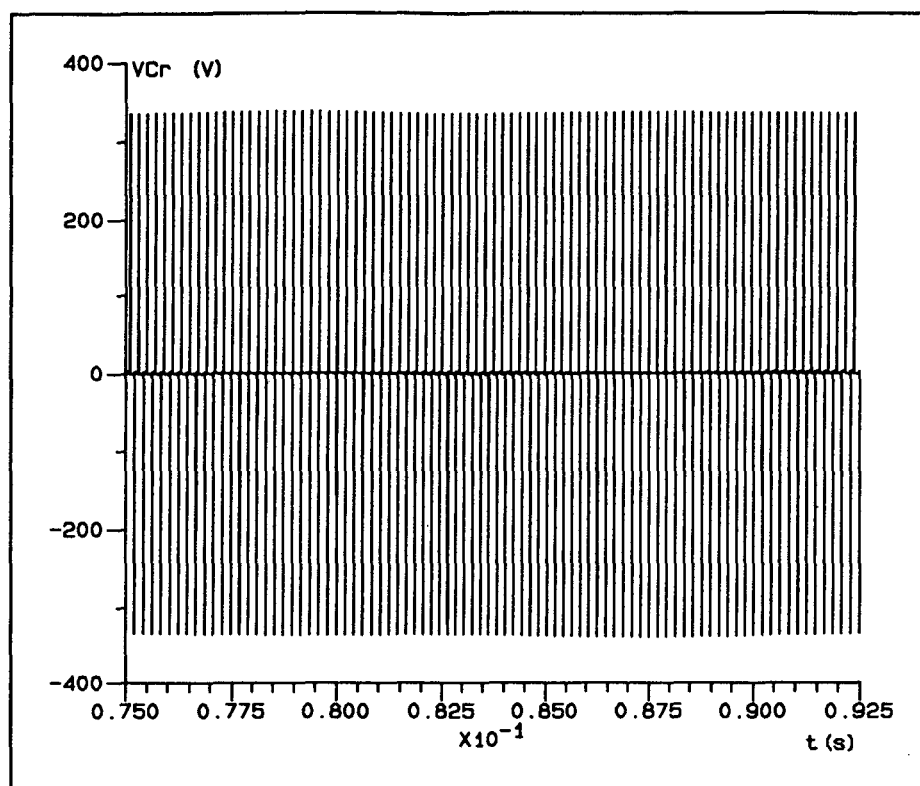


Fig. 3.6 - Tensão no Capacitor Ressonante (V_{Cr1}).

A Fig. 3.7 apresenta os detalhes da comutação não dissipativa nos MOSFETs $Mp1$ e $Ma1$. Pode-se verificar pelas escalas de tempo (abscissas) que a ressonância ocorre num intervalo de tempo muito pequeno, não sendo responsável, portanto, pela transferência de potência do barramento DC à carga.

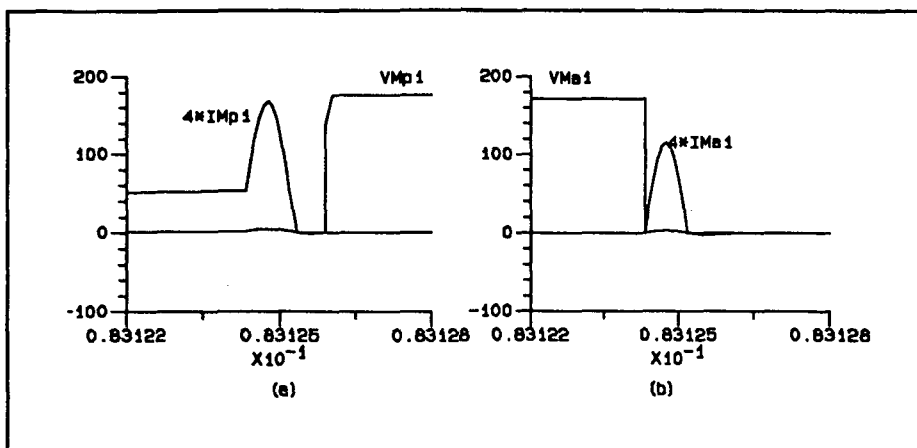


Fig. 3.7 - (a) Detalhe do Bloqueio do MOSFET Mp1.

(b) Detalhe da Condução do MOSFET Ma1.

Na Fig. 3.8 está representado o detalhe da tensão no capacitor ressonante, V_{Cr1} , bem como da corrente no indutor ressonante, I_{Lr1} . Verifica-se que a tensão no capacitor atinge o dobro da tensão do barramento DC, que irá ocasionar a sobretensão sobre o MOSFETs. Na corrente sobre os MOSFETs principais se refletirá a corrente que circula pelo indutor ressonante. Assim, o MOSFET deve ser dimensionado para o dobro da tensão do barramento DC e que este seja capaz de suportar os picos de corrente que ocorrem durante o intervalo de ressonância.

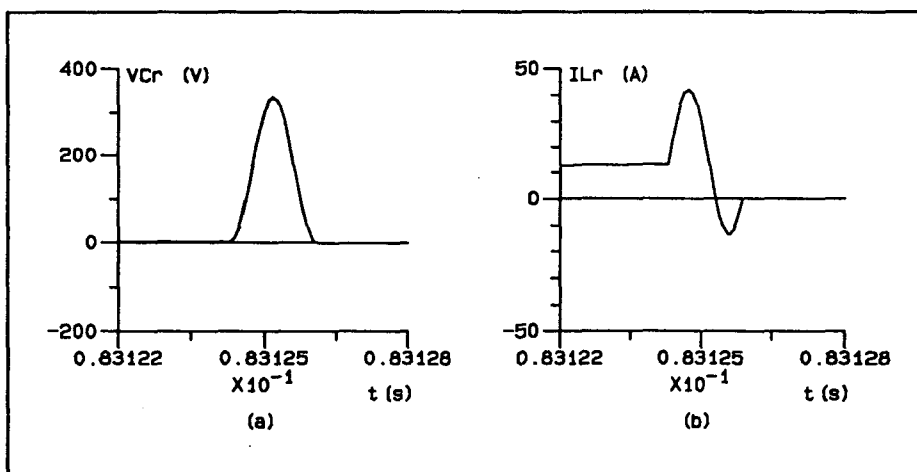


Fig. 3.8 - (a) - Detalhe da tensão V_{Cr1} .

(b) - Detalhe da Corrente I_{Lr1} .

3.4.2 - Inversor Alimentando Carga Não-Linear.

A fim de se verificar o funcionamento do inversor na alimentação de equipamentos que empregam fontes chaveadas em seus estágios de entrada (p. ex. microcomputadores), foi feita uma simulação do inversor alimentando uma carga composta por um retificador de onda completa e um capacitor de saída C_o . É suprida à carga uma potência de 410 W.

É dimensionado um capacitor de saída de $750 \mu\text{F}$, que proporcionará um fator de crista da ordem de 2,1. O fator de crista, definido pela expressão (3.10), é um item bastante importante na especificação de inversores, uma vez que em fontes chaveadas a razão entre a corrente de pico de entrada e a corrente eficaz de entrada é alta. Assim, é desejável que um inversor utilizado em sistemas UPS, seja capaz de suprir energia a uma carga não-linear com um fator de crista superior a 2,0, e com uma baixa taxa de distorção harmônica.

$$F.C. = \frac{I_{o_{pk}}}{I_{o_{rms}}} \quad (3.10)$$

A Fig. 3.9 apresenta a parte de potência do inversor alimentando carga não-linear. A corrente de pico estimada para o indutor de filtro L_f é de 15 A, o que garante a comutação não dissipativa dos semicondutores, pois :

$$\alpha = \frac{5,77 \cdot 15}{173} = 0,5 < 1,0$$

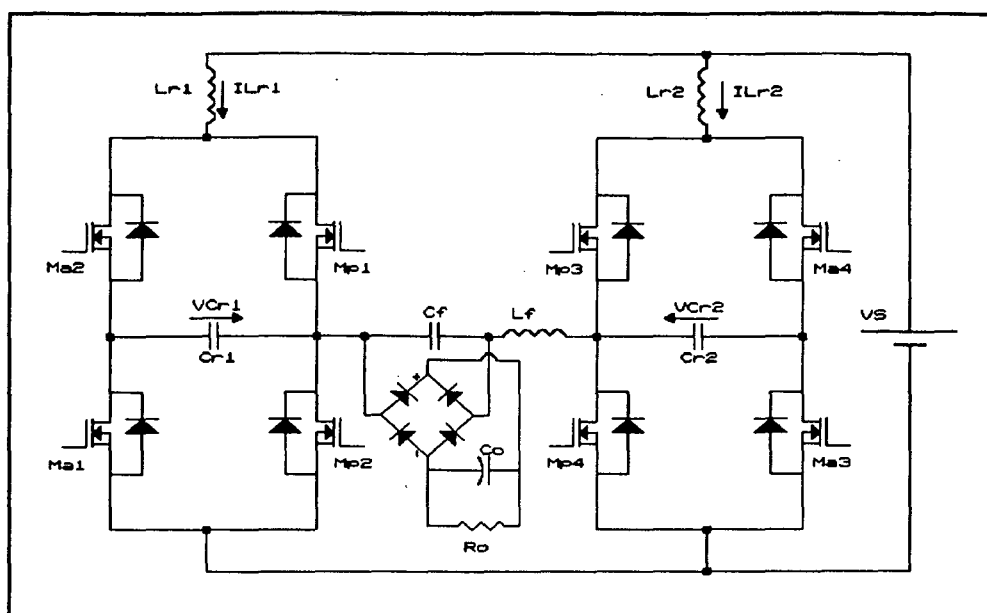


Fig.3.9 - Inversor Alimentando Carga Não-Linear.

São apresentadas nas Figs. 3.10 a 3.12 os resultados de simulação relevantes para o inversor alimentando carga não-linear. A Fig. 3.10.(a) mostra a tensão de carga (V_{Cf}), que apresenta uma taxa de distorção harmônica de 4%, sendo que a harmônica mais importante é a de 3ª ordem, representando 2,31% da fundamental, estando portanto, dentro dos limites aceitáveis [12] de 5% para a taxa de distorção harmônica e de 3% para a harmônica mais importante.

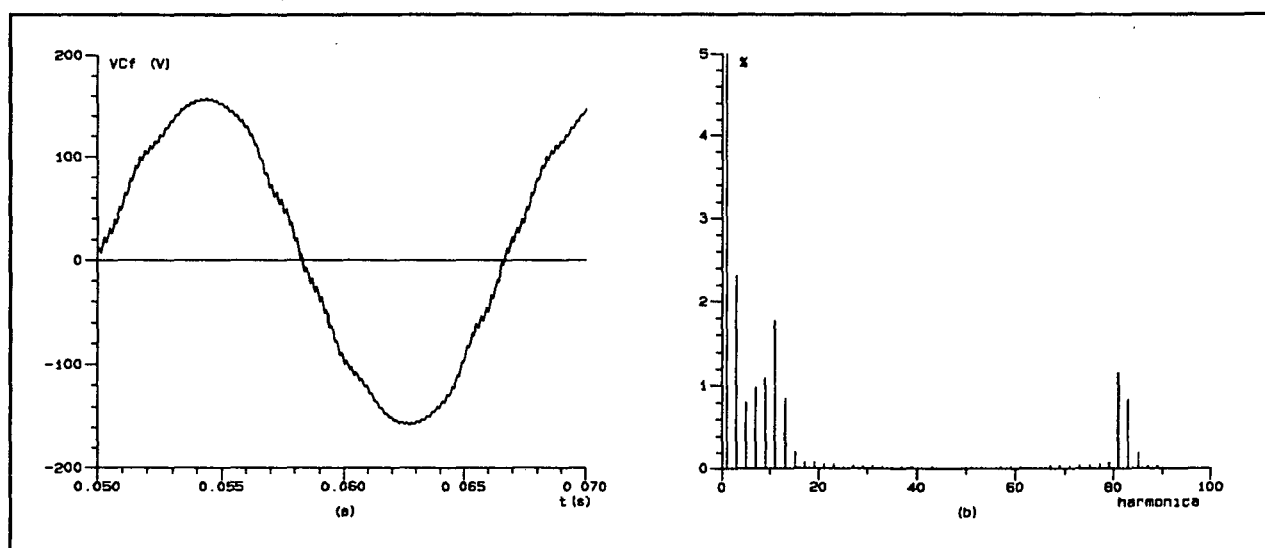


Fig. 3.10 - (a) Tensão de carga (V_{Cf}).

(b) Espectro Harmônico de V_{Cf} .

A Fig. 3.11 apresenta a corrente no indutor de filtragem I_{Lf} . Observa-se que a corrente no indutor excursiona em um único quadrante no momento da carga do capacitor C_f , a qual acontece próximo ao pico da senóide de tensão neste capacitor. Neste instante, passa a haver a distorção da tensão de saída.

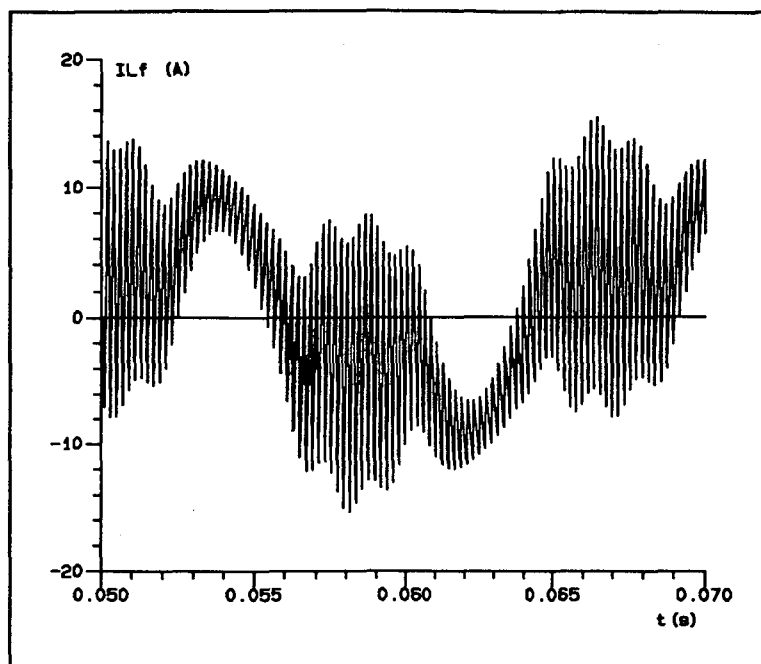


Fig. 3.11 - Corrente no Indutor de Filtagem (I_{Lf}).

A Fig. 3.12 apresenta a corrente de entrada da carga não-linear.

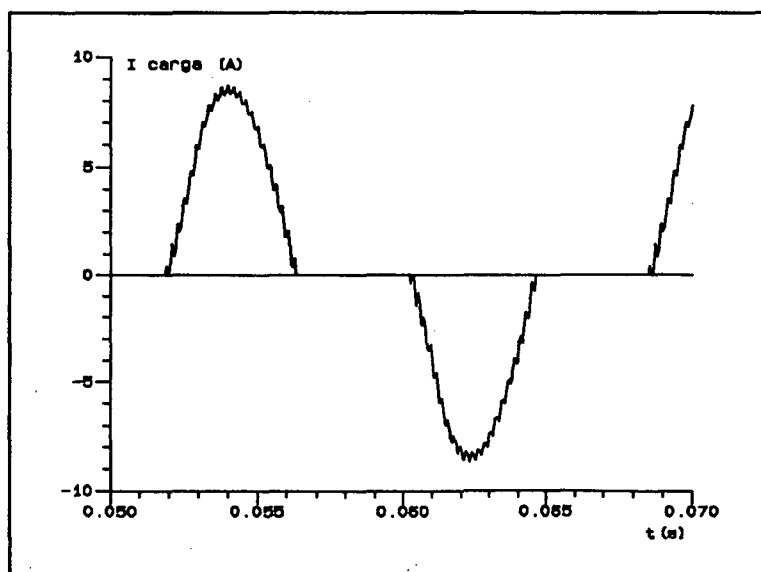


Fig. 3.12 - Corrente de Entrada da Carga Não-Linear.

A principal característica das cargas não-lineares é que estas consomem corrente do sistema (inversor, rede) de uma forma não-senoidal, através de picos elevados e repetitivos, que ocasionam a distorção da tensão de saída do inversor. Pode-se observar através desta figura que o consumo de energia do sistema não ocorre durante todo o período.

3.5 - DIMENSIONAMENTO DO INVERSOR

Com base nas especificações e nos valores de corrente e tensão determinados anteriormente, será feito o dimensionamento dos semicondutores e demais componentes do inversor. Será feito um sobre-dimensionamento das correntes eficazes nos projetos dos indutores, a fim de que os núcleos de ferrite sejam também sobredimensionados, tornando menores as elevações de temperatura nestes núcleos.

3.5.1 - Indutor de Filtro (L_f).

Tem-se uma indutância de filtro de 850 μH . Será dimensionado um indutor de filtro com núcleo de ferrite, definido pelas expressões (3.11), (3.12) e (3.13). [16]

$$A_e \cdot A_w = \frac{L \cdot I_{pk} \cdot I_{rms}}{K_w \cdot B_{max} \cdot J} \times 10^4 \quad (3.11)$$

$$N = \frac{L \cdot I_{pk}}{B_{max} \cdot A_e} \times 10^4 \quad (3.12)$$

$$l_g = \frac{N^2 \cdot \mu_o \cdot A_e}{L} \times 10^{-2} \quad (3.13)$$

Onde:

A_e = Área efetiva da perna central do núcleo.

A_w = Área da janela do núcleo.

K_w = Fator de enrolamento (0,6).

$B_{\text{máx}}$ = Máxima densidade de fluxo magnético (0,25).

J = Densidade de corrente no condutor (300 A/cm²).

l_g = tamanho do entreferro (cm).

μ_0 = permeabilidade magnética do ar ($4\pi \cdot 10^{-7}$)

Assim, para $L = 850 \mu\text{H}$, $I_{pk} = 15 \text{ A}$ e uma corrente eficaz sobre-dimensionada $I_{rms} = 7 \text{ A}$, tem-se :

$$A_e A_w = \frac{850 \times 10^{-6} \cdot 15 \cdot 7}{0,6 \cdot 0,25 \cdot 300} \times 10^4$$

$$A_e A_w = 19,82 \text{ cm}^4$$

Núcleo escolhido : E-65/26 (Núcleo EE - Thornton)

$$A_e = 5,32 \text{ cm}^2$$

$$A_w = 3,70 \text{ cm}^2$$

$$l_e = 14,7 \text{ cm (comprimento magnético)}$$

Número de espiras :

$$N = \frac{850 \times 10^{-6} \cdot 15}{0,25 \cdot 5,32} \times 10^4$$

$N = 96$ espiras . Condutor 26 AWG => 17 fios x 96 espiras.

Entreferro :

$$l_g = \frac{96^2 \cdot 4 \cdot \pi \cdot 10^{-7} \cdot 5,32}{850 \cdot 10^{-6}} \times 10^{-2}$$

$$l_g = 0,72 \text{ cm}$$

3.5.2 - Indutores de Ressonância (Lr1 e Lr2).

Os indutores de ressonância têm as seguintes características:

$$L = 1,6 \mu\text{H}$$

$$I_{\text{rms}} = 5 \text{ A}$$

$$I_{\text{pk}} = 45 \text{ A}$$

Assim :

$$A_e \cdot A_w = \frac{1,6 \cdot 10^{-6} \cdot 45 \cdot 5}{0,6 \cdot 0,25 \cdot 300} \times 10^4$$

$$A_e \cdot A_w = 0,08 \text{ cm}^4$$

Núcleo escolhido : E-30/7 (Núcleo EE - Thornton)

$$A_e = 0,6 \text{ cm}^2$$

$$A_w = 0,8 \text{ cm}^2$$

$$l_e = 6,7 \text{ cm}$$

Número de espiras :

$$N = \frac{1,6 \times 10^{-6} \cdot 45}{0,25 \cdot 0,6} \times 10^4$$

N = 5 espiras. Condutor 26 AWG => 13 fios x 5 espiras.

Entreferro :

$$l_g = \frac{5^2 \cdot 4 \cdot \pi \cdot 10^{-7} \cdot 0,6}{1,6 \cdot 10^{-6}} \times 10^{-2}$$

$$l_g = 0,12 \text{ cm}$$

3.5.3 - Capacitores de Ressonância (Cr1 e Cr2).

Serão utilizados capacitores de polipropileno da série TACF da Icotron, com baixo fator de perdas e especiais para regimes de pulso com alta taxa de subida.

Desta forma, são utilizados capacitores de 47nF/600 V como capacitores ressonantes.

3.5.4 - Transistores de Potência.

Devido à elevada frequência de ressonância do inversor, serão empregados transistores de tecnologia MOSFET.

3.5.4.1 - Transistores Principais (Mp1 a Mp4).

Serão empregados MOSFETs do tipo BUZ-210 da Siemens, devido ao fato deste MOSFET ser de alta tensão e alta corrente, e por apresentar um diodo intrínseco com tempo de recuperação reversa relativamente pequeno (FRED FET - Fast Recovery Epitaxial Diode Field Effect Transistor). O BUZ-210 apresenta as seguintes características:

$$V_{DS}=500V$$

$$I_{DS}=10,5A$$

$$R_{DS(on)}=0,6\Omega$$

$$C_{iss}=4900pF$$

$$C_{oss}=400pF$$

$$t_{rr}=250ns-300ns$$

$$Rth_{(JC)}\leq 1,0^{\circ}C/W$$

Assim, será utilizado o diodo intrínseco do MOSFET como o diodo principal para formar a chave bidirecional em corrente.

3.5.4.2 - Transistores Auxiliares (Ma1 a Ma4).

Como a corrente eficaz nos MOSFETS auxiliares é muito baixa (0,2 A verificados

por simulação), não se torna necessário a utilização de MOSFETs capazes de suportar correntes elevadas. Contudo, estes MOSFETs devem ser de alta tensão, e que, por disponibilidade do componente, leva a escolha do MOSFET IRF-840 da International Rectifier, embora este seja capaz de suportar altas correntes. O IRF 840 apresenta as seguintes características :

$$V_{DS}=500V$$

$$I_{DS}=8,0A$$

$$R_{DS(on)}=0,85\Omega$$

$$C_{iss}=1600pF$$

$$C_{oss}=350pF$$

$$t_{rr}=600ns$$

$$R_{th_{JC}}=1^{\circ}C/W$$

No protótipo a ser implementado, também serão utilizados os diodos intrínsecos deste MOSFET para formar a chave bidirecional em corrente.

3.5.5 - Capacitor de Saída do Retificador (C_o).

Será utilizado um capacitor de filtro de 750 μF da Icotron (Eletrolítico).

3.5.6 - Ponte Retificadora (D_{r1} a D_{r4}).

Será utilizada uma ponte retificadora híbrida SKB 7/08 da Semikron.

3.6 - CONCLUSÕES

Neste capítulo foi apresentada detalhadamente a metodologia para projeto do inversor. A validade do estudo analítico e a metodologia de projeto foram reforçadas pelas simulações numéricas da estrutura.

As simulações numéricas envolveram duas situações distintas de carga : carga linear e carga não-linear.

Constata-se que não existe problemas sérios de distorção da tensão de saída para o inversor suprindo energia para uma carga linear, pois as harmônicas mais importantes desta tensão são de alta ordem, o que facilita a sua atenuação através de um filtro L-C convencional e de tamanho reduzido, uma vez que seu papel é atenuar apenas as harmônicas de alta frequência.

No entanto, para cargas não-lineares, existem harmônicos de 3ª ordem na tensão de saída, os quais são introduzidos pelo retificador e capacitor da carga não-linear. Isto ocorre devido ao fato de que a carga não-linear exige do inversor correntes não-senoidais, repetitivas e de pico elevado em curtos intervalos de tempo do período da senóide de saída. Assim, é necessário projetar-se um filtro L-C que permita a passagem destes picos de corrente para dentro do estágio inversor, com a mínima distorção possível da senóide de carga.

Verifica-se nas simulações a possibilidade de utilização desta topologia em sistemas UPS para a alimentação de cargas não-lineares.

Através das simulações realizadas verifica-se que a topologia inversora estudada exige um sobredimensionamento dos semicondutores de potência, pois os semicondutores devem ser capazes de suportar tensões de valor igual ao dobro da tensão do barramento DC e também suportar picos elevados de corrente.

A partir das especificações de projeto, foi feito o dimensionamento completo dos componentes do inversor com comutação não-dissipativa.

CAPÍTULO IV

CIRCUITOS LÓGICOS DA MODULAÇÃO PWM E DO

COMANDO DE GATE DOS MOSFETS

4.1 - INTRODUÇÃO

Uma vez definidos os parâmetros do circuito e o tipo de modulação a ser utilizada, concentrou-se esforços na implementação do circuito lógico capaz de produzir os instantes de comutação da modulação PWM senoidal.

Por ser de simples implementação, escolheu-se como solução o armazenamento da função de modulação previamente calculada em memória EPROM.

O circuito lógico apresentado neste capítulo gera os comandos para as chaves principais e auxiliares, bem como provê os tempos mortos necessários para os semicondutores do inversor.

Neste capítulo também é apresentado um circuito de comando de *gate* não isolado, utilizando um integrado fabricado pela International Rectifier, que provê os sinais de *gate* para os dois MOSFETs de um braço de inversor.

4.2 - GERAÇÃO DO PADRÃO DE MODULAÇÃO

A fim de se ter os instantes de comutação da modulação PWM senoidal, foi utilizado um software que gera os comando das chaves principais, e que também é capaz de gerar os padrões da modulação PWM otimizada utilizando o método do gradiente simplificado [09]. Os pulsos de comando gerados são então processados por um outro software, denominado programa EPROM [25], que discretiza e adapta os pulsos de

comando para serem gravados em memória.

Como já foi definido no Capítulo III, foi gerado um padrão de modulação com 40 parâmetros e fator de modulação igual a 0,9, que resulta em 81 pulsos de comando por chave em um período de modulação. Na gravação dos pulsos em memória foi feita uma discretização do período em 4096 endereços de memória.

Assim, como foi escolhida uma modulação a dois níveis, torna-se suficiente a gravação dos comandos de apenas uma chave, uma vez que as chaves principais são comandadas duas a duas e de maneira complementar. Utilizou-se para gravar o padrão de comandos uma memória EPROM de 32 Kbits (4K x 8 bits), onde cada posição de memória contém níveis lógicos 0 (baixo) ou 1 (alto), que correspondem ao bloqueio ou condução das chaves, respectivamente.

A Fig. 4.1 mostra a disposição do padrão de modulação gravado em memória.

BIT END	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0000H	-	-	-	-	-	-	-	0
0001H	-	-	-	-	-	-	-	0
0002H	-	-	-	-	-	-	-	0
.	-	-	-	-	-	-	-	.
.	-	-	-	-	-	-	-	.
0FFFH	-	-	-	-	-	-	-	1
1000H	-	-	-	-	-	-	-	1

Fig. 4.1 - Disposição do Padrão de Comandos em uma memória de 4096 endereços.

4.3 - CIRCUITO LÓGICO DE COMANDO

4.3.1 - Circuito de Leitura do Padrão de Modulação

A fim de se gerar uma tensão senoidal na saída do inversor, os pulsos de comando armazenados em memória devem ser varridos no período correspondente à frequência desejada da tensão de saída do inversor. Como a frequência da tensão de saída é de 60 Hz, os endereços de memória devem ser varridos em um intervalo de tempo de 1/60 segundos. Como tem-se 4096 endereços para serem lidos, a frequência do sinal de clock para a leitura de cada endereço é dada por :

$$f_{clk} = 4096 \times 60 \text{ Hz} = 245.760 \text{ Hz}$$

Portanto, para obter-se esta frequência, utilizou-se um oscilador a cristal de quartzo de 6,144 MHz e um divisor por 25, realizado com o contador binário-decimal 74LS390.

O circuito implementado é mostrado na Fig. 4.2.

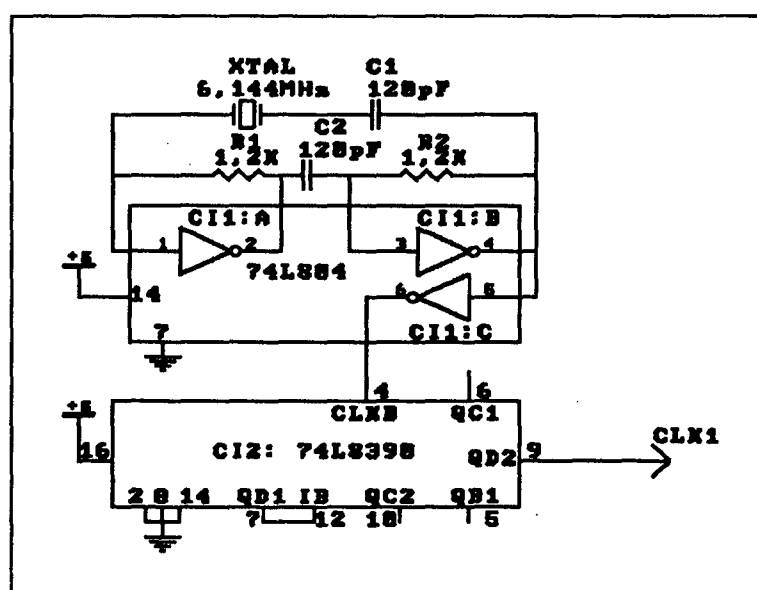


Fig. 4.2 - Circuito Gerador de Frequência de 245.760 Hz.

No circuito apresentado na Fig. 4.2 deve-se ter uma frequência do circuito RC menor que a frequência de oscilação do cristal de quartzo, a fim de que se tenha um sinal de clock com a própria frequência do cristal, a qual é bastante precisa. A frequência do circuito RC é dada por :

$$f_{RC} = \frac{1}{RC} = 6,94 \text{ MHz}$$

No entanto, como se tem o cristal em série com o capacitor, a frequência de oscilação é a própria frequência do cristal. Portanto:

$$f_{osc} = 6,144 \text{ MHz}$$

Com o contador binário decimal 74LS390 divide-se a frequência por 25, obtendo-se portanto, a frequência de 245.760 Hz, necessária para varrer os 4096 endereços de memória. Este sinal de clock fará com que um contador binário de 12 bits (CD4040) realize a varredura do padrão gravado em memória.

4.3.2 - Geração do Sinal de Clock Auxiliar.

Como neste inversor tem-se quatro chaves adicionais que realizam a comutação não-dissipativa, a lógica de comando torna-se um pouco mais complexa. A fim de se ter o intervalo de tempo necessário para comandar as chaves auxiliares em conjunto com as principais correspondentes, é necessário prover no circuito de tempos mortos (ítem 4.3.3) um tempo adicional reservado para o comando das chaves auxiliares e com frequência igual à frequência de clock principal, porém com maior largura do pulso alto.

Assim, o circuito de clock auxiliar necessário é mostrado na Fig. 4.3.

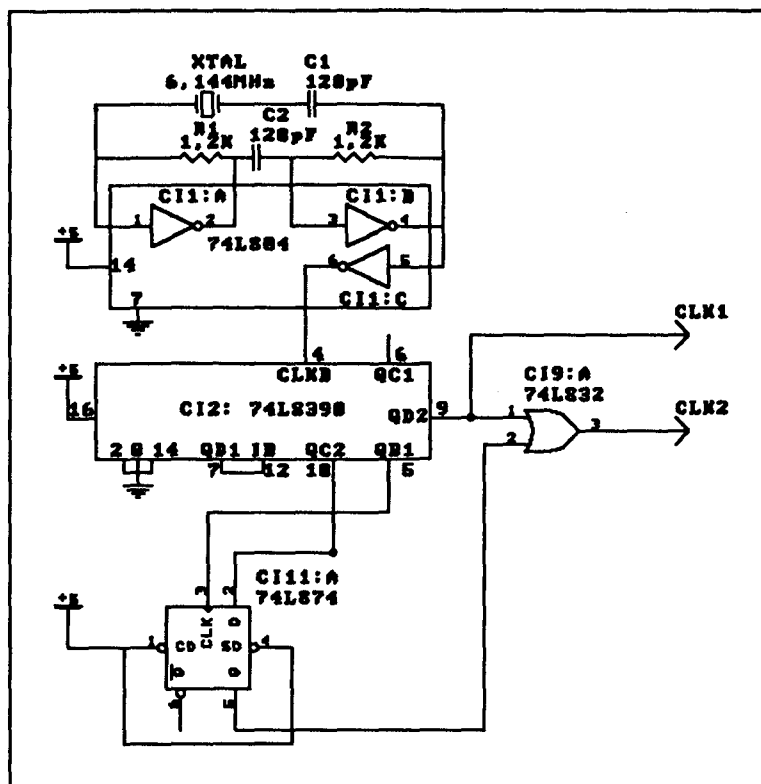


Fig. 4.3 - Circuito Auxiliar de Clock.

4.3.3 - Geração dos Tempos Mortos.

Dado que os comandos das chaves de um braço de inversor são complementares, deve-se prover um tempo morto entre as ordens de comutação das chaves de um braço.

Estes tempos mortos podem ser introduzidos:

- diretamente na memória EPROM, por ocasião da discretização dos comandos;
- através de um circuito lógico apropriado.

A limitação dos tempos mortos a múltiplos do período de varredura da memória torna primeira maneira nviável, pois se obtém tempos mortos excessivamente grandes.

O circuito lógico é mais apropriado, pois além de gerar os tempos mortos, ele também permite gerar o comando complementar e eliminar os sinais espúrios devido à mudança de endereço na memória (glitches).

A Fig. 4.4 mostra o circuito utilizado para geração dos tempos mortos, juntamente com o diagrama de sinais do circuito.

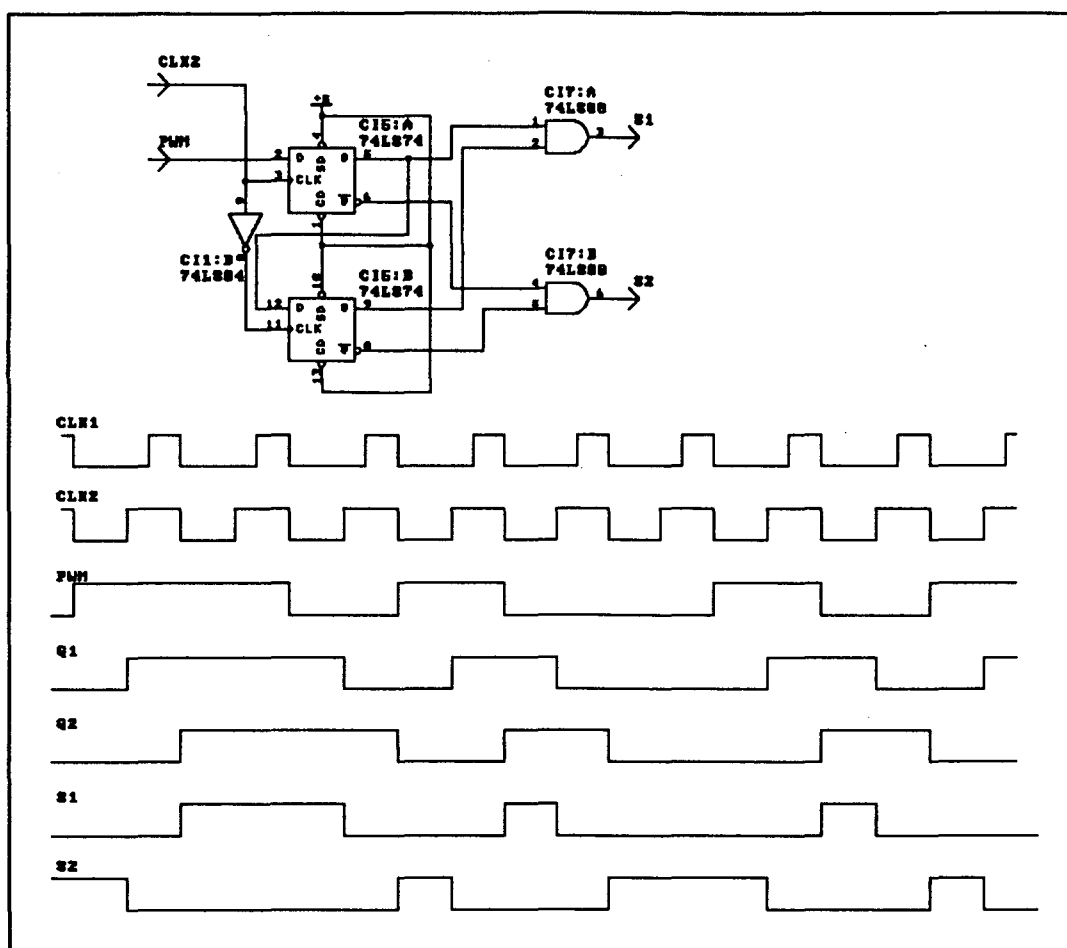


Fig. 4.4 - Circuito de Geração dos Tempos Mortos.

O sinal de comando vindo da EPROM apresenta "glitches", que são eliminados pelos flip-flops do tipo D sincronizados com o sinal de clock auxiliar, que é dependente do sinal de clock de 245.760 Hz que realiza a varredura da memória.

O circuito da Fig. 4.4 provê um tempo morto de aproximadamente $2,8 \mu s$. Este tempo é suficiente para que seja introduzido o comando das chaves auxiliares.

4.3.4 - Geração dos Sinais das Chaves Auxiliares

Uma vez obtidos os sinais do circuito da Fig. 4.4, é necessário gerar os sinais

lógicos de comando das chaves auxiliares, e somar estes ao comando das chaves principais, pois para realizar o bloqueio das chaves principais é necessário que a chave auxiliar correspondente conduza durante um determinado intervalo de tempo, a fim de que se realize a comutação não-dissipativa.

O circuito da Fig. 4.5 gera estes sinais através de um monoestável (74LS123), em conjunto com uma lógica adicional. O circuito apresentado proverá um tempo de condução para as chaves auxiliares de $1,3 \mu\text{s}$.

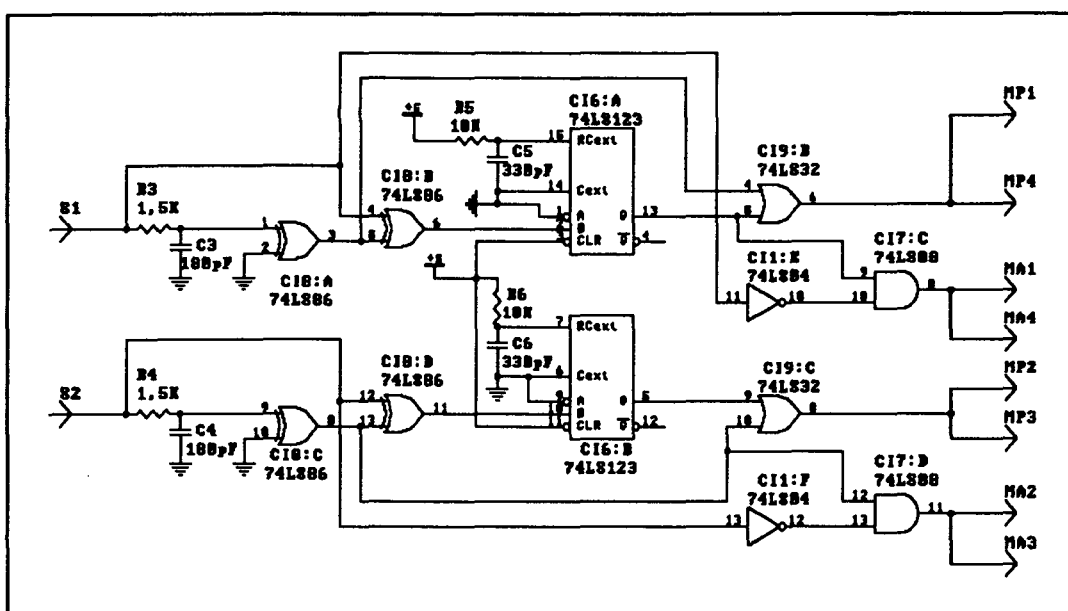


Fig. 4.5 - Circuito de Geração dos Comandos das chaves.

Assim, com o acréscimo do tempo relativo à condução das chaves auxiliares, o tempo morto resultante entre as chaves principais de um mesmo braço será de $1,5 \mu\text{s}$. Em parte deste intervalo de tempo, o capacitor ressonante C_r se descarregará linearmente (5ª Etapa, Fig. 1.11).

4.3.5 - Diagrama Completo do Circuito Lógico

Na Fig. 4.6 é apresentado o diagrama completo do circuito de comando lógico.

Fig. 4.6 - Circuito de Comando Lógico.

4.4 - CIRCUITO DE COMANDO DE GATE DOS MOSFETs

O tempo de comutação dos MOSFETs é determinado pela velocidade com que a capacitância de entrada C_{iss} é carregada ou descarregada. Portanto é necessário um circuito de comando que possa drenar uma corrente elevada para que se realize uma rápida comutação.

4.4.1 - O Integrado IR 2110

Foi escolhido para circuito de drive o integrado IR 2110 fabricado pela International Rectifier. O IR 2110 é um circuito monolítico de alta tensão e alta frequência, capaz de comandar dois MOSFETs (ou IGBTs) dispostos em uma configuração meia-ponte.

Este integrado, mostrado na Fig. 4.7, é capaz de controlar os dois canais de saída H_o e L_o independentemente, a partir de sinais lógicos de comando conectados às entradas H_{in} e L_{in} , respectivamente.

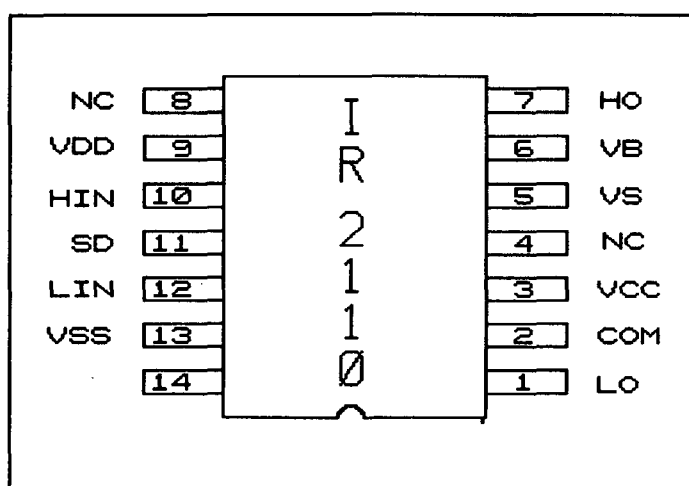


Fig 4.7 - O Integrado IR 2110.

Através do diagrama de tempos da Fig. 4.8 verifica-se que H_o e L_o estão em fase com H_{in} e L_{in} , respectivamente, e que as duas saídas irão para nível baixo quando o sinal

no pino SD (Shut-Down) tem uma transição para nível alto. As saídas permanecerão em nível baixo mesmo após a transição de SD para nível baixo, até que as entradas apresentem uma transição positiva.

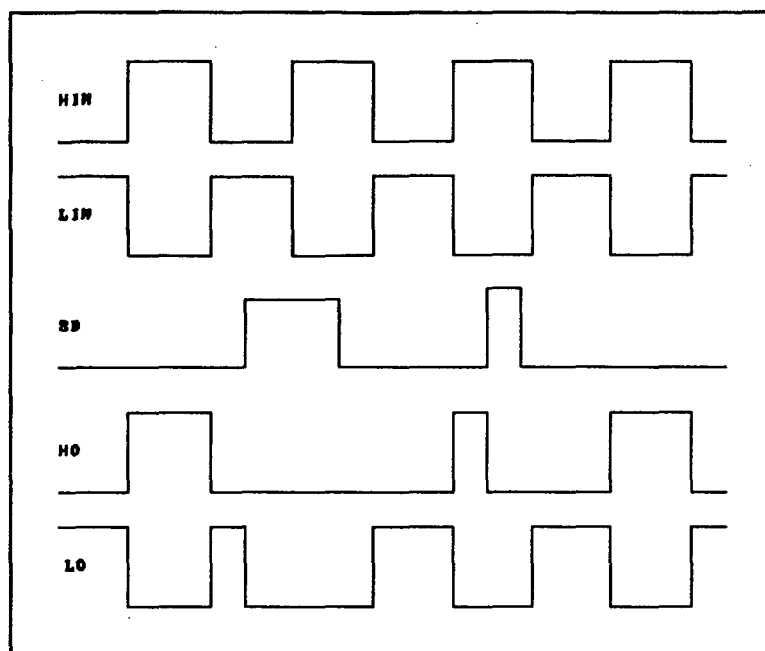


Fig. 4.8 - Diagrama de Sinais do IR 2110.

O canal de saída inferior (L_o) é referenciado a um nível de tensão fixa (VCC), enquanto que o canal de saída superior (H_o) é referenciado a um nível de tensão variável (VBS), que pode variar de 500 V (máx) a -5 V tendo como referência o pino 2 (COM).

Os dois canais H_o e L_o podem fornecer uma corrente acima de 2 A de pico, o que é suficiente para carregar rapidamente a capacitância de entrada dos MOSFETs a serem comandados.

A Fig. 4.9 mostra a ligação típica do IR 2110 com valores padrões para comandar os dois MOSFETs de um braço de inversor. O IR 2110 provê a tensão para o canal flutuante (H_o) através do Capacitor C1 e do diodo D. Assim, o canal flutuante é derivado do canal fixo (L_o). O diodo D deve ser capaz de suportar uma tensão reversa maior que o pico de tensão do barramento de alta tensão e ser também um diodo de recuperação

rápida para minimizar a dissipação de potência.

Este circuito monolítico também apresenta detectores de sub-tensão. Assim, o canal superior é desabilitado quando a tensão VBS está abaixo de um valor determinado (8,7/8,3 V) e por sua vez o canal inferior é desabilitado quando a tensão VCC cai para um valor abaixo do especificado (8,6/8,2 V)

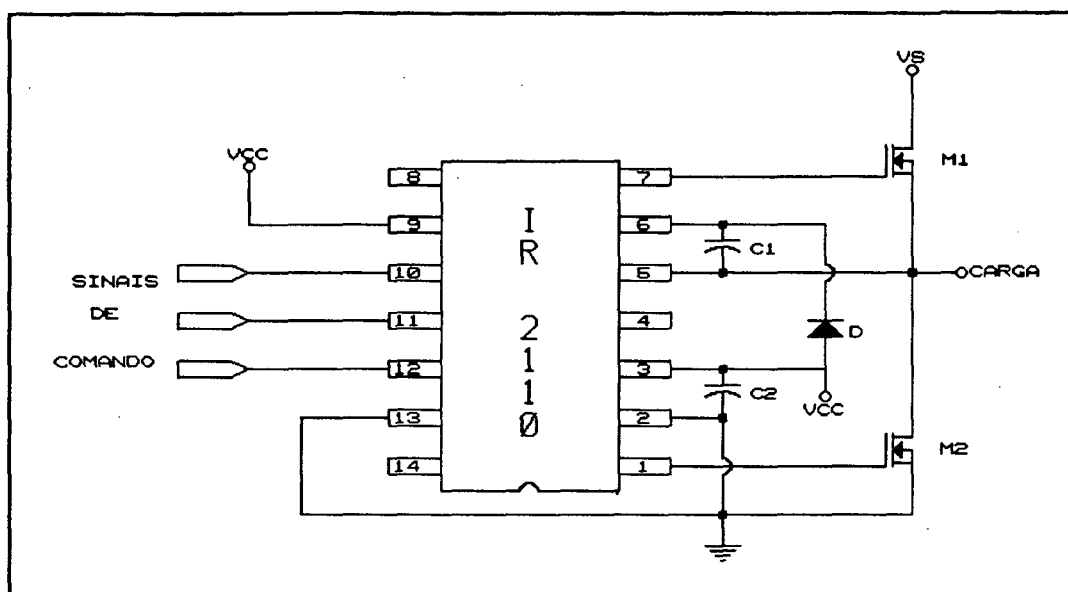


Fig. 4.9 - Conexão Típica do IR 2110 Para um Braço de Inversor.

4.4.2 - Circuito de Drive do Inversor

A Fig. 4.10 mostra o circuito de comando de *gate* utilizado no inversor. São utilizados 4 integrados IR 2110, sendo que cada um deles comanda um dos braços do inversor.

Os sinais lógicos de comando Tp_1 a Tp_4 e Ta_1 a Ta_4 são gerados pelo circuito apresentado na Fig. 4.6. Estes sinais passam por buffers de coletor aberto a fim de adaptar a tensão de nível TTL (5 V) para uma tensão de 15 V, própria para a operação do IR 2110 e de nível compatível com os pulsos de *gate* para os MOSFETs. O pino 11 dos IR 2110 inibem os canais de saída quando existe um nível de tensão alto nos mesmos

(+VCC). Assim, todos os pinos 11 (SD) estão ligados ao circuito de proteção de sobre-corrente.

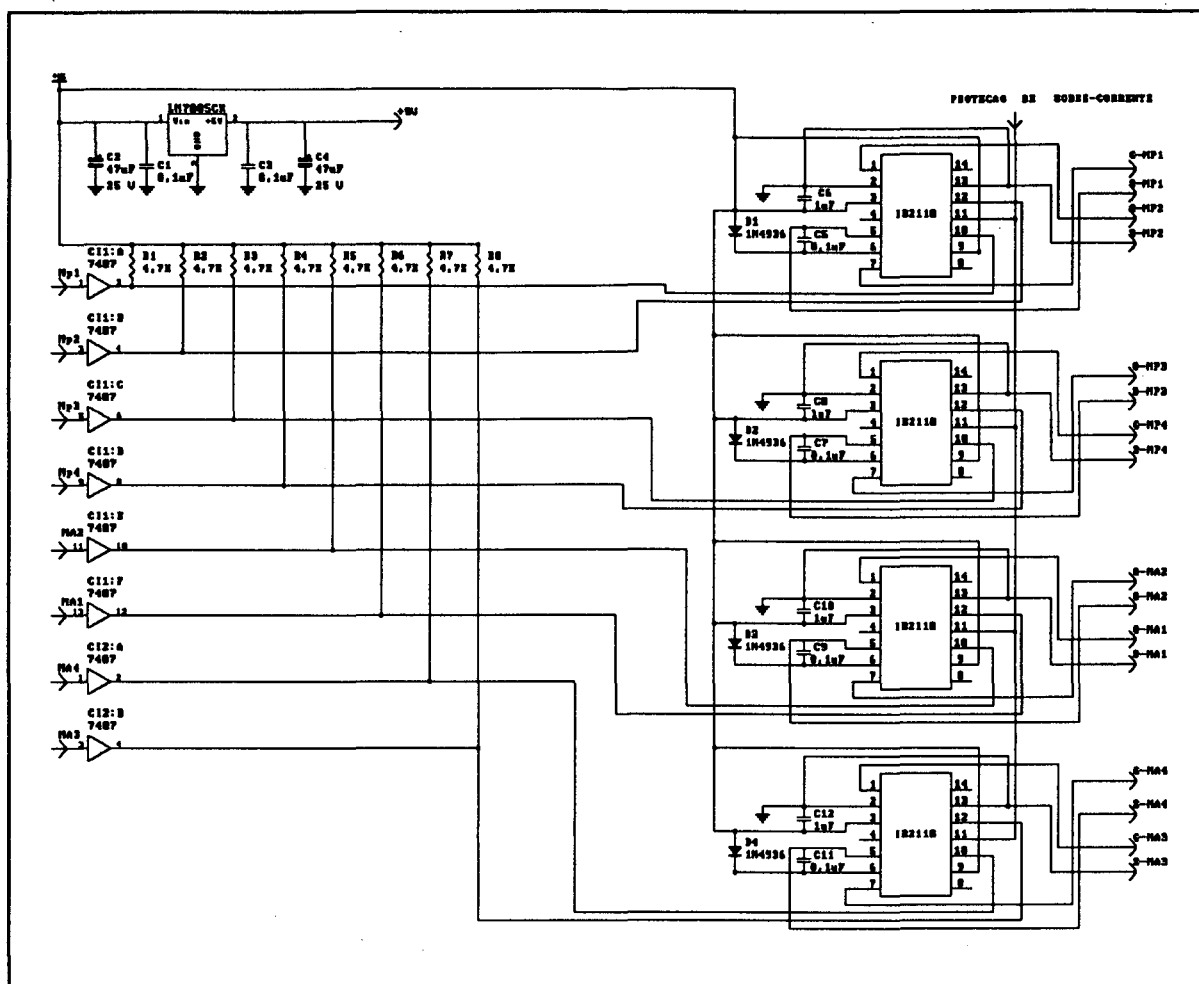


Fig. 4.10 - Circuitos de Comando de Gate dos MOSFETs.

4.5 - CIRCUITO DE PROTEÇÃO CONTRA SOBRECORRENTE

O circuito de proteção contra sobrecorrente, é apresentado na Fig 4.11. Trata-se do circuito de proteção tradicionalmente utilizado, composto de um sensor de corrente, um circuito de disparo de tiristor, o tiristor e uma lógica auxiliar.

O toróide, colocado na saída do barramento DC, funciona como um transformador de corrente. Os resistores P1 e R4 funcionam como um divisor de corrente. Assim, quando

há uma sobrecorrente na saída do barramento DC, é provocado o disparo do tiristor Th, que coloca o transistor T1 no corte, tendo portanto uma tensão VCC no coletor de T1. Este sinal é conectado ao pino 11 dos IR 2110, desabilitando o comando dos MOSFETs. O comando ficará desativado até o instante em que a alimentação do inversor seja desligada e Th se bloqueie.

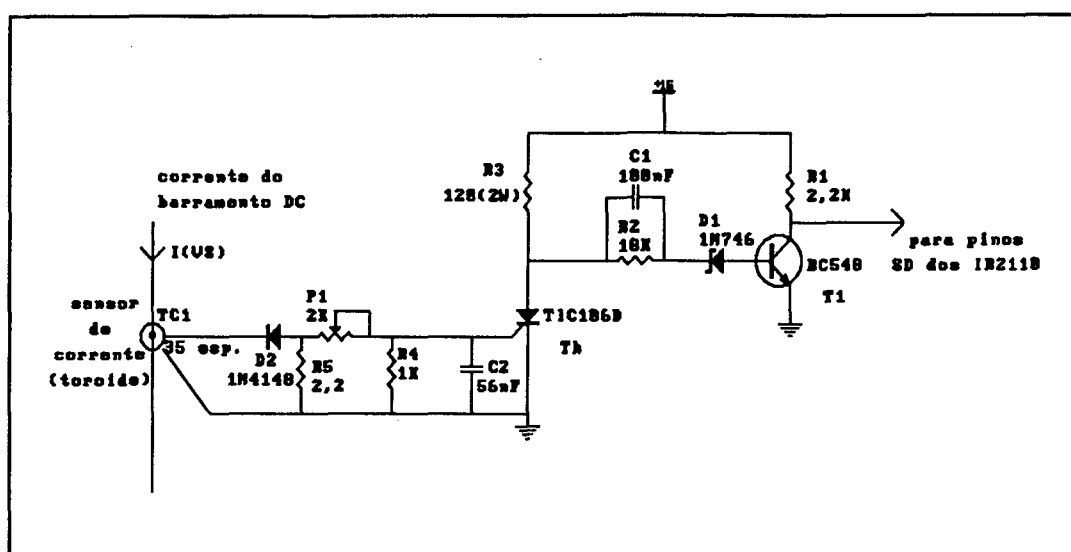


Fig. 4.11 - Circuito de Proteção Contra Sobre-Corrente.

4.6 - CONCLUSÕES

Neste capítulo foram apresentados os circuitos de comando lógico, de comando de *gate* e de proteção contra sobre-corrente implementados no inversor proposto.

Utilizou-se a modulação PWM senoidal gravada em memória EPROM para controlar os semicondutores e prover uma tensão senoidal na saída. Esta técnica de modulação poderia ter sido implementada de forma analógica, mas devido a realização de experimentos iniciais com a modulação PWM senoidal otimizada, optou-se por manter o mesmo circuito lógico de comando. Cabe ressaltar que a estrutura inversora apresentada pode empregar qualquer outra técnica de modulação utilizada em inversores.

O circuito de comando de *gate* se torna bastante simplificado e eficaz com o uso do integrado IR 2110, pois torna possível comandar um braço de inversor através da referência flutuante criada para comandar o MOSFET superior do braço, sem a necessidade de isolamento entre os interruptores e o circuito de comando lógico.

CAPÍTULO V

ESTUDOS EXPERIMENTAIS COM O INVERSOR PROPOSTO

5.1 - INTRODUÇÃO

Apresenta-se neste capítulo os resultados obtidos de um protótipo implementado para o inversor proposto, tendo como base o projeto realizado anteriormente.

São observados, dentre outros resultados, a comutação não-dissipativa dos MOSFETs de potência, a tensão de saída para carga linear, além de ensaio com o circuito de proteção de sobrecorrente.

5.2 - RESULTADOS EXPERIMENTAIS OBTIDOS

Nos primeiros testes realizados com o inversor, observou-se a presença de sobretensões nos MOSFETs de potência, resultantes da recuperação reversa dos diodos intrínsecos. Houve, portanto, a necessidade de se colocar circuitos atenuadores de picos de tensão, os "snubbers". A Fig. 5.1 apresenta o circuito completo de potência, onde os snubbers são os circuitos RC em paralelo com cada MOSFET. Para dimensionamento destes circuitos RC deve-se ter em mente que quanto maior o valor do capacitor e menor o valor do resistor, maior será a atenuação da sobretensão. Contudo, deve-se garantir que os resistores consigam dissipar durante o período de condução do MOSFET a energia armazenada durante o bloqueio nos capacitores de snubber. Assim, a potência dissipada nos resistores é dada pela relação :

$$P_R = \frac{1}{2} \cdot C_s \cdot V_{C_s}^2 \cdot f_{chav}$$

No entanto, os valores de C_s e R_s foram definidos através de experimentação, tendo-se o compromisso de se ter baixos valores de resistência e valores não tão elevados de capacitância.

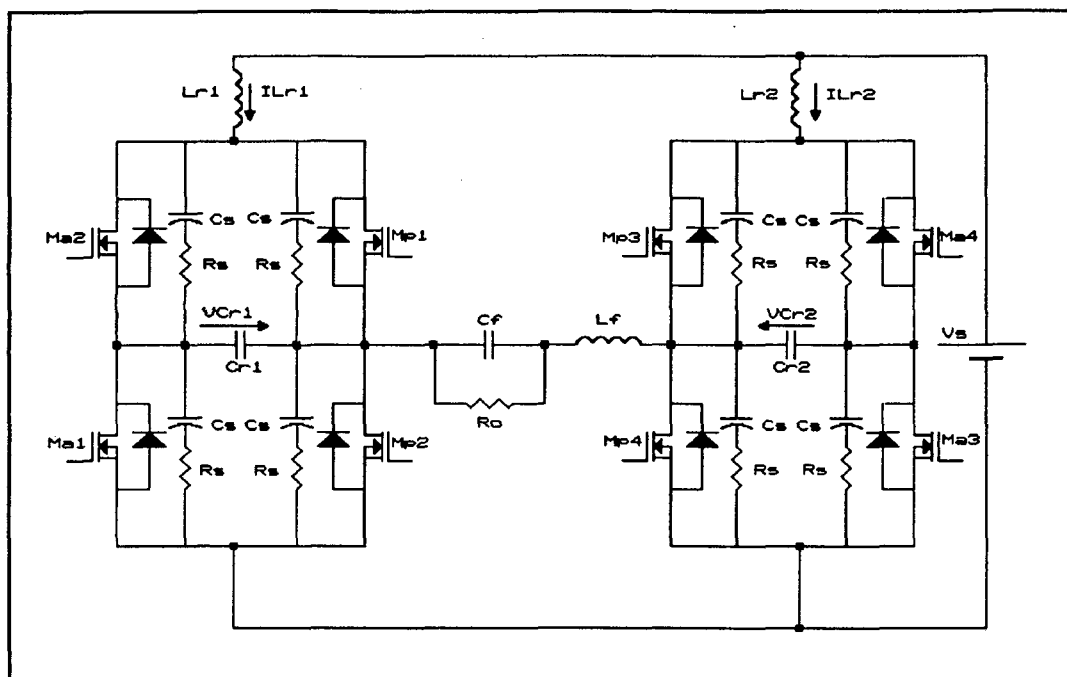


Fig. 5.1 - Circuito de Potência Implementado.

$M_{p1} - M_{p4} \Rightarrow$ BUZ 210 (Siemens) (500 V/10,5 A)

$M_{a1} - M_{a4} \Rightarrow$ IRF 840 (Intl. Rectifier) (500 V/8A)

$L_{r1}, L_{r2} \Rightarrow$ 1,6 μ H

$C_{r1}, C_{r2} \Rightarrow$ 47 nF Polipropileno (Icotron) (630 V)

$C_f \Rightarrow$ 60 μ F (Icotron) (250 V)

$L_f \Rightarrow$ 850 μ H

$C_s \Rightarrow$ 1,5 nF Polipropileno (Icotron) (630 V)

$R_s \Rightarrow$ 180 ohms/ 2 W Série PR02

VS \Rightarrow 173 V_{dc}

Neste circuito as indutâncias parasitas, provenientes da fiação que liga o barramento DC às células inversoras de comutação não-dissipativa, são adicionadas às indutâncias de ressonância L_{r1} e L_{r2} , não sendo, portanto, prejudiciais.

5.2.1 - Operação do Inversor Alimentando Carga Linear.

A Fig. 5.2 apresenta a tensão e corrente de carga para uma potência de saída de 500 W. O rendimento obtido nesta situação foi de 91%. As perdas apresentadas se devem apenas às perdas em condução nos MOSFETs e demais elementos do circuito, pois, as perdas de comutação são praticamente eliminadas pela técnica de comutação sob corrente nula (ZCS).

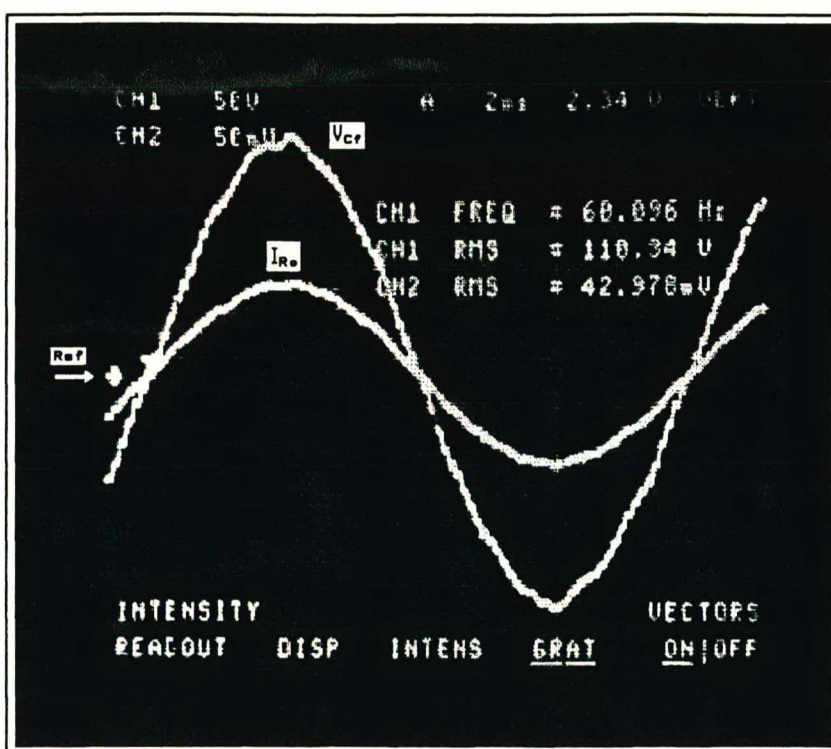


Fig. 5.2 - Operação do Inversor com Carga Linear.

Escala de Tensão : 50 V/div.

Escala de Corrente : 5 A/div.

Escala de Tempo : 2 ms/div.

A Fig. 5.3 mostra a tensão de carga, obtida através de aquisição, e o espectro harmônico da mesma. A tensão de carga apresenta uma taxa de distorção harmônica de 3 %, sendo que a 81ª harmônica, a mais importante, representa 1,42% da fundamental, estando portanto, dentro dos limites aceitáveis.

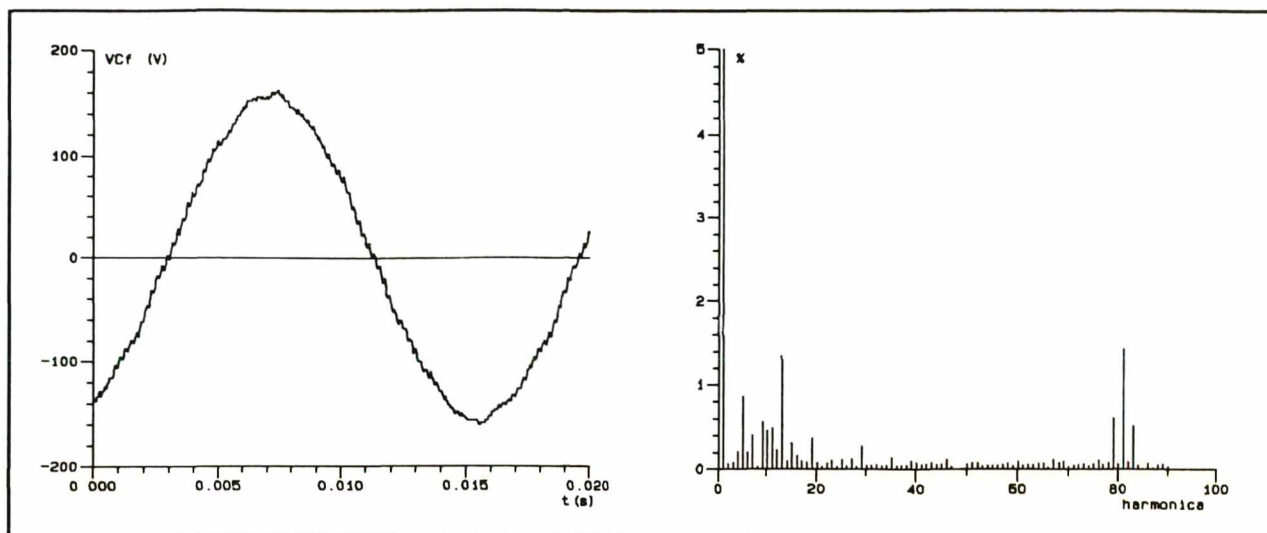


Fig. 5.3 - Espectro Harmônico da Tensão de Saída para Inversor Operando Carga Linear.

5.2.2 - Operação do Inversor Alimentando Carga Não-Linear.

A fim de testar o funcionamento do inversor com carga não-linear, foi implementado o circuito apresentado na Fig. 5.4.

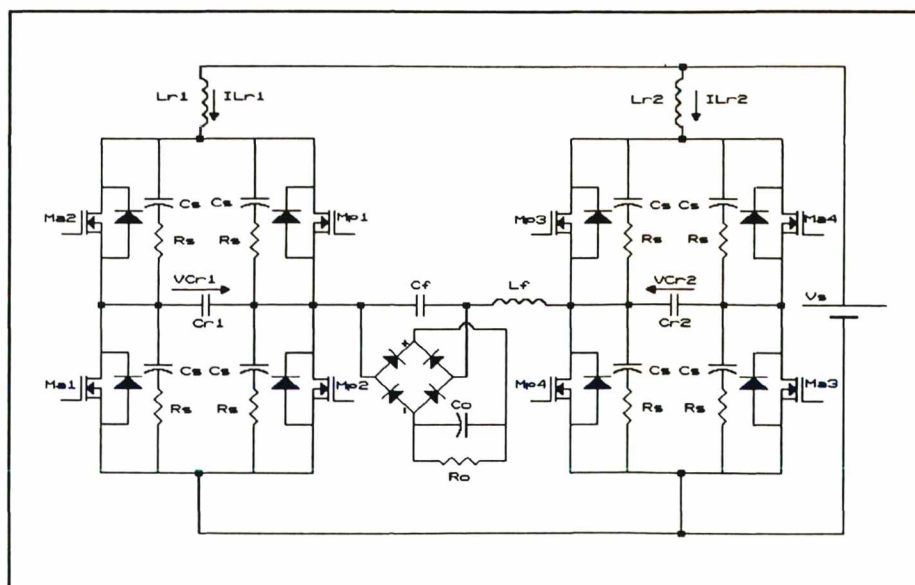


Fig. 5.4 - Estágio de Potência do Inversor Alimentando Carga Não-Linear.

O estágio de potência tem as seguintes características e componentes:

$M_{p1} - M_{p4}$	=> BUZ 210 (Siemens)	(500 V/10,5 A)
$M_{a1} - M_{a4}$	=> IRF 840 (Intl. Rectifier)	(500 V/8 A)
L_{r1}, L_{r2}	=> 1,6 μ H	
C_{r1}, C_{r2}	=> 47 nF Polipropileno (Icotron)	(630 V)
C_f	=> 60 μ F (Icotron)	(250 V)
L_f	=> 850 μ H	
C_s	=> 1,5 nF Polipropileno (Icotron)	(630 V)
R_s	=> 180 ohms/ 2 W Série PR02	
VS	=> 173 V _{dc}	
C_o	=> 750 μ F (Icotron)	(350 V)
D_{r1}, D_{r4}	=> Ponte retificadora SKB 7/08	(Icotron)

A estrutura alimentou uma carga cuja potência ativa foi de 410 W, com um rendimento de 92 %.

A Fig. 5.5 apresenta a tensão de saída do inversor e a corrente no indutor de filtro L_f . O fator de crista da carga não-linear é aproximadamente igual a 2,0.

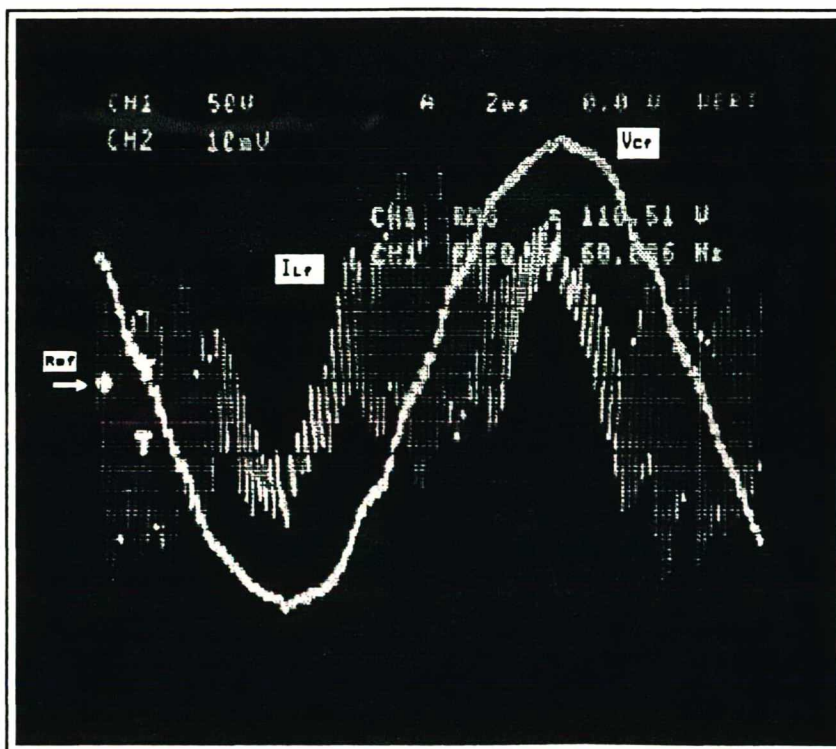


Fig. 5.5 - Operação do Inversor com Carga Não-Linear.

Escala de Tensão : 50 V/div.

Escala de Corrente : 5 A/div.

Escala de Tempo : 2ms/div.

A taxa de distorção harmônica da tensão de saída para a operação com carga não-linear foi de 5%, sendo que a harmônica mais importante foi a de 3ª ordem, representando 2,91% da componente fundamental. Neste tipo de operação, verifica-se a presença acentuada da 3ª harmônica, causada pelo conjunto retificador e capacitor da carga não-linear. Contudo, a topologia ainda trabalha dentro dos limites especificados internacionalmente (TDH menor ou igual a 5% e harmônica mais importante inferior a 3% da fundamental) [12].

São mostrados na Fig. 5.6 resultados da aquisição da tensão de saída do inversor, juntamente com a corrente de entrada na carga não-linear. Verifica-se a distorção na senóide de saída no instante da carga do capacitor de saída do retificador.

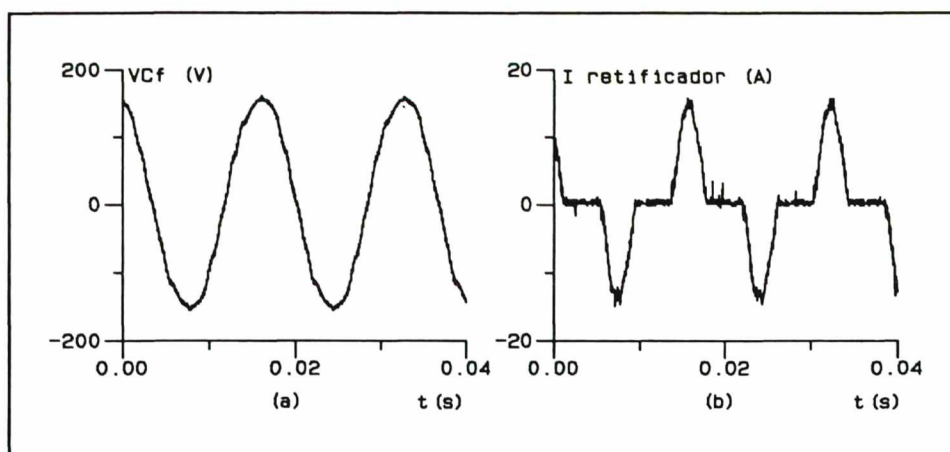


Fig. 5.6 - Aquisição da Tensão de Saída e Corrente de Entrada na Carga Não-Linear.

5.2.3 - Aspectos do Comando de Gate dos MOSFETs.

Na Fig. 5.7 são apresentados os sinais de gate dos MOSFETs M_{p1} e M_{a1} . Observa-se que para realizar a comutação não-dissipativa, o MOSFET M_{a1} deve entrar em condução enquanto o MOSFET principal correspondente ainda estiver habilitado.

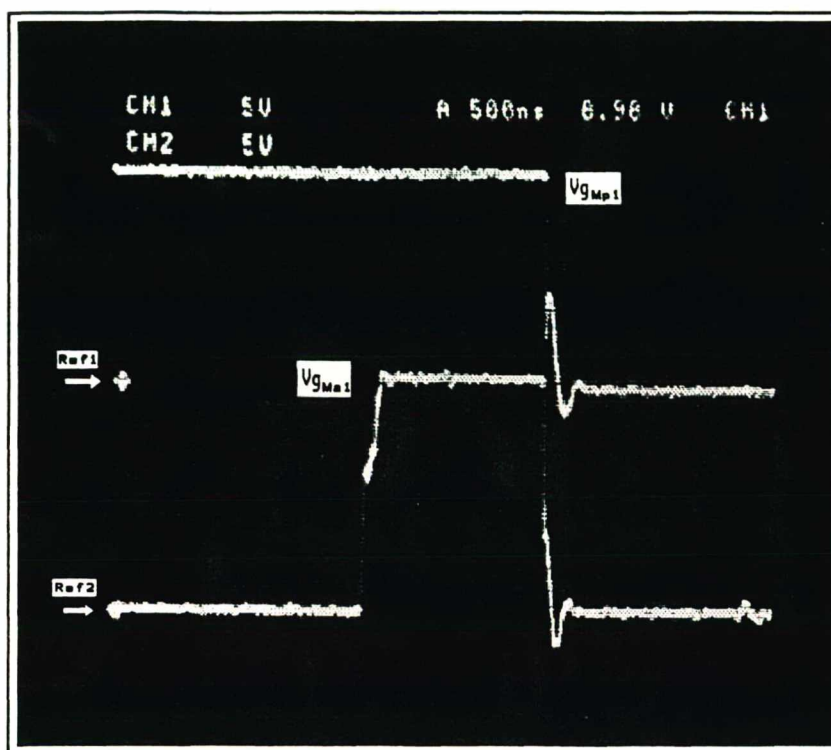


Fig. 5.7 - Detalhe do Comando dos MOSFETs.

Escala de Tensão : 5 V/div.

Escala de Tempo 500 ns/div.

5.2.4 - Detalhes da Comutação Não-Dissipativa.

É apresentado na Fig. 5.8 um detalhe do bloqueio do MOSFET principal M_{p1} . Verifica-se a comutação não dissipativa do tipo ZCS no MOSFET. A fim de se realizar o bloqueio ZCS da chave principal, a chave auxiliar é habilitada, ocorrendo um intervalo ressonante. Neste intervalo ressonante a corrente evolui de forma senoidal, chegando a um valor máximo e depois anulando-se e invertendo seu sentido, passando então pelo diodo intrínseco da chave. Neste intervalo de tempo as chaves principal e auxiliar são desabilitadas. Quando a corrente se extingue no diodo intrínseco, a tensão no MOSFET principal sobe e atinge o valor da tensão do barramento DC.

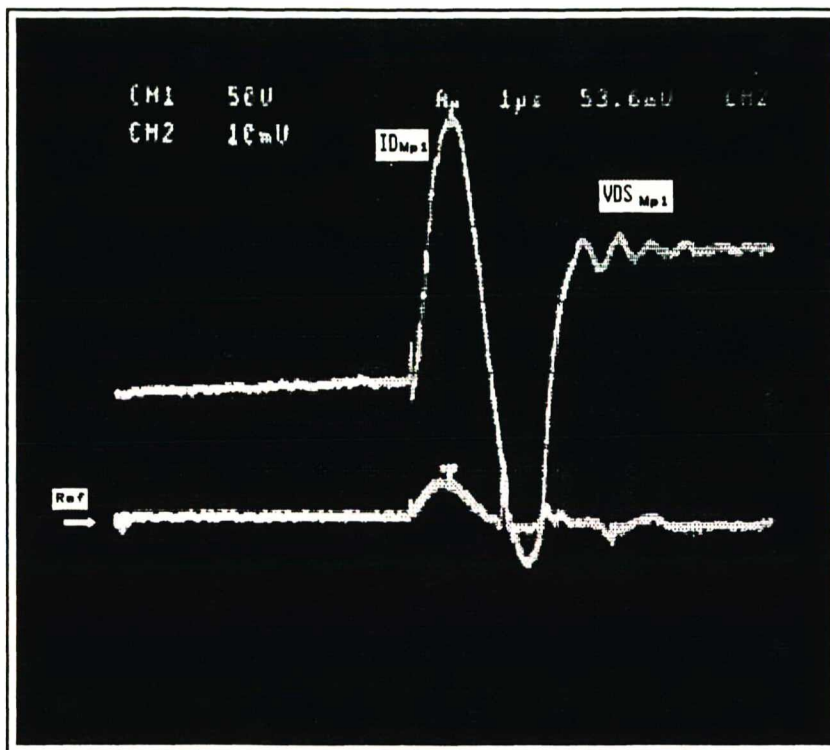


Fig. 5.8 - Detalhe do Bloqueio do MOSFET M_{p1} .

Escala de Tensão : 50 V/div.

Escala de Corrente : 5 A/div.

Escala de Tempo : 1 μ s/div.

A Fig. 5.9 mostra um detalhe da entrada em condução do MOSFET M_{p1} . Observa-se o pico de tensão na chave M_{p1} . Este pico é resultante da ressonância realizada quando a chave M_{a2} é colocada em condução para que se realize o bloqueio de M_{p2} . Teoricamente, este pico de tensão atingiria o dobro da tensão de barramento DC, mas devido à resistência de condução dos MOSFETs, este pico não chega a 2.Vs. Verifica-se também, que na realidade a corrente começa a circular pelo diodo intrínseco, e não propriamente pelo MOSFET.

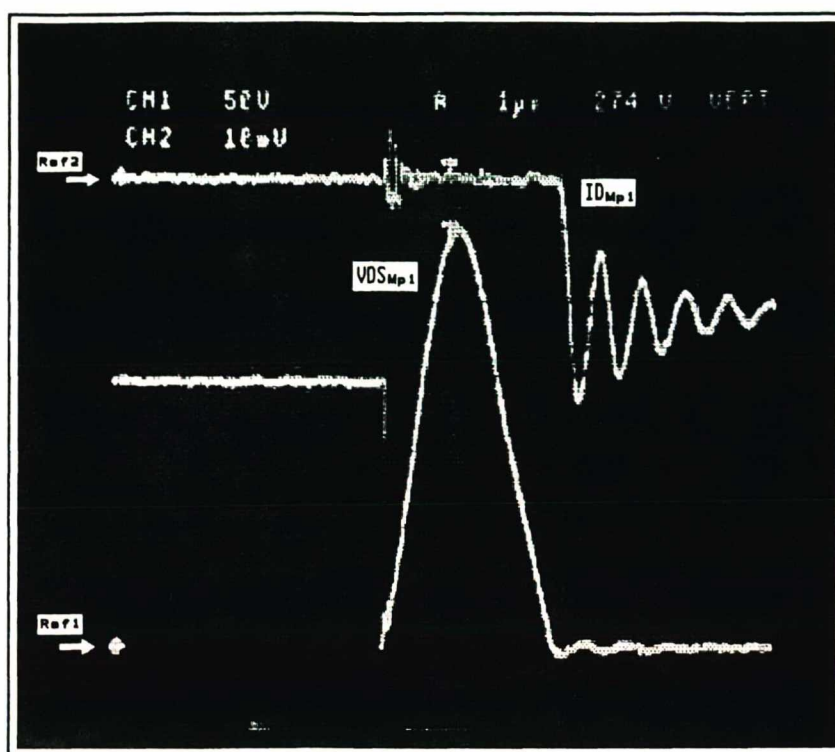


Fig. 5.9 - Detalhe da Entrada em Condução do MOSFET M_{p1} .

Escala de Tensão : 50 V/div.

Escala de Corrente : 5 A/div.

Escala de tempo : $1\mu\text{s}/\text{div}$.

A Fig. 5.10 apresenta a corrente de dreno do MOSFET principal M_{p1} . Nesta figura pode-se constatar que a ressonância é realizada em um curto intervalo de tempo, não sendo esta responsável pela transferência de potência à carga.

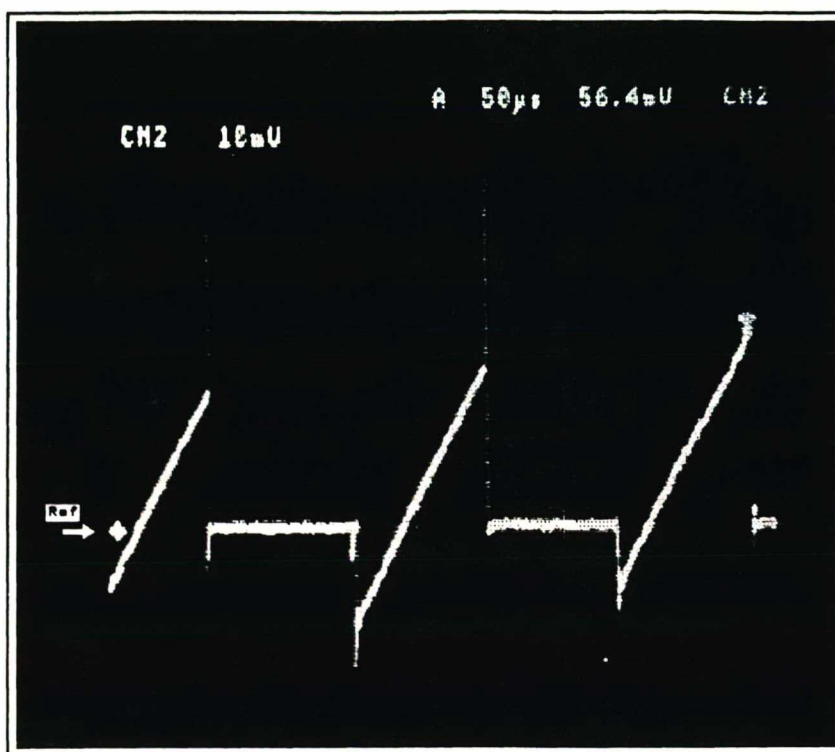


Fig. 5.10 - Corrente de Dreno do MOSFET M_{p1} .

Escala de Corrente : 5 A/div.

Escala de Tempo : 50 μ s/div.

5.2.5 - Testes com o Circuito de Proteção de Sobrecorrente.

A fim de se testar o circuito de proteção de sobrecorrente, foi ajustado o potenciômetro P_1 da Fig. 4.11, a fim de que o tiristor T_h disparasse no momento em que a corrente de entrada ultrapassasse o seu valor nominal.

A Fig. 5.11 mostra o resultado de aquisição da tensão e corrente sobre o MOSFET M_{p1} , juntamente com o sinal do pino 11 (SD) do IR 2110 correspondente. Verifica-se que ao atingir o valor de pico de corrente, o circuito de proteção dispara o tiristor T_h e coloca um sinal de nível alto (+VCC) no pino SD de todos os IR 2110, desabilitando os canais de saída.

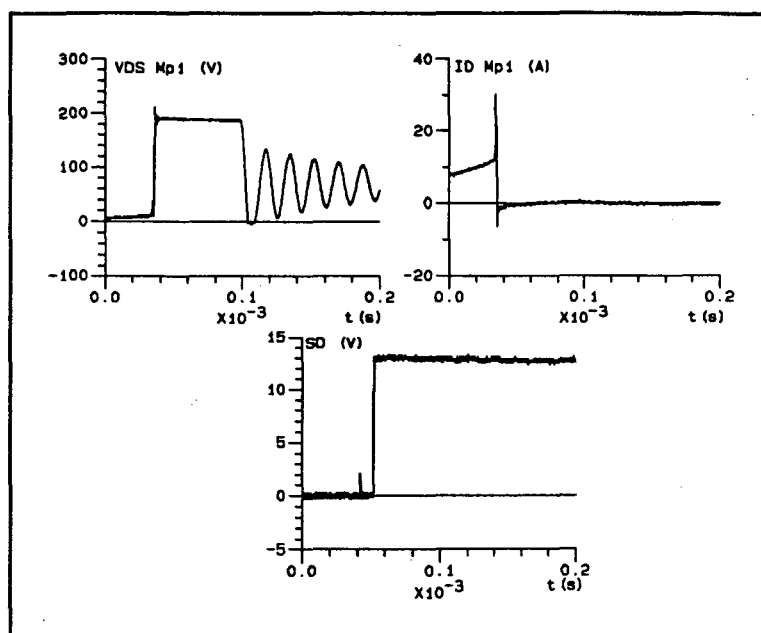


Fig. 5.11 - Atuação da Proteção de Sobrecorrente.

5.3 - CONCLUSÕES

O inversor PWM com comutação não-dissipativa proposto foi implementado em laboratório, com a finalidade de se confirmar os estudos teóricos e de simulação realizados anteriormente.

O inversor alimentou uma carga linear resistiva de 500 W com rendimento de 91% e uma carga não-linear de 410 W com rendimento de 92%. Através da modulação utilizada, obteve-se resultados satisfatórios e que atendem as especificações internacionais [12], mas utilizando-se outras técnicas de modulação pode-se obter resultados melhores, a fim de se garantir uma tensão senoidal pura na saída. Estas técnicas consistem do controle instantâneo da tensão ou da corrente no capacitor de filtragem, a fim de que estas tenham comportamento senoidal.

Foi comprovado na experimentação prática o aumento da distorção na tensão de saída do inversor quando este alimenta carga não-linear. Esta distorção deve ser reduzida ao máximo, a fim de que não se tenha problemas quando da alimentação de cargas que exigem alta confiabilidade e qualidade.

Verifica-se que a ressonância não contribue para o aumento da corrente eficaz nas chaves, e que as chaves de potência devem ser dimensionadas para o dobro da tensão do barramento DC. A sobretensão nas chaves de potência constitui a principal desvantagem desta topologia, contudo consegue-se obter com esta topologia rendimentos elevados devido à comutação não-dissipativa.

CONCLUSÕES GERAIS

Como um novo caminho para se obter inversores com comutação não-dissipativa, foi introduzido neste trabalho um inversor PWM para altas potências e de rendimento elevado com chaveamento sob corrente nula.

Isto foi possível através da utilização de chaves auxiliares para realizar uma comutação sem perdas. Nestas chaves circula uma corrente de valor eficaz mínimo, porém de pico elevado.

Devido a etapa ressonante, existe uma sobretensão nas chaves que atinge o dobro da tensão de barramento DC. Esta sobretensão se constitui na principal desvantagem do inversor apresentado, pois se terá um sobredimensionamento das chaves de potência. Esta desvantagem, no entanto, é compensada pela obtenção de um inversor de alto rendimento.

Foi feito um estudo das correntes médias e eficazes nos semicondutores, quando da utilização da modulação PWM senoidal. Este estudo, inédito até então, propiciou o dimensionamento adequado dos semicondutores do inversor.

Como circuito de comando de *gate* dos MOSFETs, foi utilizado um novo circuito integrado (IR 2110), que realiza, com simplicidade e eficácia, o comando dos MOSFETs de um braço de inversor, não sendo necessária a utilização de transformadores de pulso ou isoladores óticos para realizar o devido isolamento.

Os resultados práticos demonstraram a obtenção da comutação sob corrente nula, alimentando carga linear e carga não-linear, com alto rendimento e baixa distorção da senóide de saída.

Cabe ressaltar que a estrutura apresentada pode ser regulada por qualquer técnica de modulação aplicada a inversores, sendo esta topologia viável para a aplicação em sistemas ininterruptos de energia (UPS).

Sugere-se como próximos passos para a continuidade deste estudo:

- o fechamento da malha de regulação de tensão;
- a utilização de outras tecnologias de semicondutores, como os IGBTs,

que trabalham com tensões maiores e apresentam baixas perdas de condução;

- A implementação, de outras técnicas de regulação, como a modulação PWM instantânea e o controle da corrente no capacitor de filtro;
- O estudo de métodos para a redução das sobretensões nas chaves, devido a ressonância;

REFERÊNCIAS BIBLIOGRÁFICAS

- [01] TIMERSKY, R.; VORPÉRIAN, V. and Lee, F.C. - "DC-to-AC Inversion Using Quasi-Resonant Techniques", IEEE Transactions on Power Electronics, pp.381-390, vol.6, Outubro 1989.
- [02] DIVAN, D.M. - "The Resonant DC-LINK Inverter - A New Concept in Static Power Conversion", IEEE Industry Applications Society Conference Records, pp. 648-656, 1986.
- [03] DONOSO GARCIA, P.F.; BARBI, I. - "A Family of Resonant DC-Link Voltage Source Inverters", IEEE - IECON'90 - International Conference on Industrial Electronics, Control, Instrumentation and Automation, pp.844-849.
- [04] BOYER, S.; FOCH H.; Roux J. & Metz M. - "Chopper and PWM Inverter Using GTO's in Dual Thyristor Operation", Second European Conference on Power Electronics and Applications, Vol. 1, pp. 383-389, 1987.
- [05] BARBI, I.; BOLACELL, J.C.; MARTINS, D.C.; LIBANO, F.C. - "Buck Quasi-Resonant Converters Operating at Constant Frequency : Analysis, Design and Experimentation", IEEE Power Electronics Specialists Conference 1989 Record, pp. 873-881.
- [06] TOUSSAINT, P.; SOL, C.; FOREST, F. and GONZALES, J. - "Use of Quasi-Resonance Principles with Linearization Process, in Medium-Power, High Frequency Converters. Conception Rules of Corresponding Synthetics Thyristors", IEEE - Industry Applications Society Annual Meeting Conference 1990 Record, pp.1322-1327.

- [07] LEE, F.C. - "High Frequency Resonant, Quasi-Resonant and Multi-Resonant Converters", VPEC Publications Series, Vol. I.
- [08] NOWAK, S. - "Selecting a UPS", Power Quality, Premier III 1990, pp.195-200.
- [09] PERIN, A.J. - "Teoria e Aplicação de Modulação por Largura de Pulso (PWM) com Otimização de Harmônicos para Conversores Estáticos de Frequência", Minicurso do 6º Congresso Brasileiro de Automática, pp.1-15, UFMG, Belo Horizonte, 1986.
- [10] PATEL, H. & HOFT, R. - "Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters". Part I, Harmonic Elimination. IEEE Transactions on Industry Applications, Vol. IA-9, Nbr. 3, pp. 310-317, 1973.
- [11] BOLACELL, J.C.O. - "Estudo e Realização de um Inversor para No-Break". Dissertação de Mestrado, UFSC, 1987.
- [12] IEEE ORANGE BOOK - Emergency and Standby Power, IEEE Press, 1987
- [13] BARBI, I. - "Eletrônica de Potência II", publicação interna, UFSC, 1990.
- [14] BEDFORD, B.D. & HOFT, R.G. - "Principles of Inverter Circuits", John Willey & Sons Inc., New York, pp.287-306.
- [15] OLIVEIRA, M.A. - "Estudo de um Conversor Indireto de Frequência sem Elementos Passivos no Estágio de Corrente Contínua". Dissertação de Mestrado, UFSC, 1987.
- [16] BARBI, I. - "Projetos de Fontes Chaveadas". Publicação Interna, LAMEP, UFSC, 1990.

- [17] DEWAN, S. B.; ZIOGAS, P. D. - "Optimum Filter Design for a Single-Phase Solid-State UPS System". IEEE Transactions on Industry Applications, Vol.IA-15, Nbr. 6, 664-669, November/December 1979.
- [18] FLORERO, H. J. - "Inversor Monofásico com Modulação PWM Otimizada a Três Níveis". Dissertação de Mestrado, UFSC, 1989.
- [19] FERNANDES, D. J. M. - "Conversor DC-DC Quase-Ressonante para Altas Potências Utilizando IGBT". Dissertação de Mestrado, UFSC, 1991.
- [20] BILLINGS, K. - "Switchmode Power Supply Handbook", Mc Graw-Hill, New York, 1989.
- [21] GUPTA, S.; HANDLER, H. - "Multi-Feature Line Interactive UPS", Power Quality Proceedings, Paris, 1990. pp.11-15.
- [22] CARSTEN, B.W. - "The AC Mains Compatibility Box", Power Conversion Proceedings, Outubro 1990. pp.34-44.
- [23] SOUZA, A.F.; MARTINS, D.C., "Manual de Utilização do Programa SCVOLT - Simulação de Conversores Estáticos, Método do Voltímetro", Publicação interna, UFSC, 1990.
- [24] HECTOR J., "DSN, Un Logiciel de Manipulation de Courbes", Manual de Referência do programa DSN", versão autorizada, INPT, França, 1992.
- [25] D'AVILA, A, "Comando de um Inversor Trifásico com Modulação PWM Otimizada Utilizando Microprocessador". Dissertação de Mestrado, UFSC, 1988.
- [26] International Rectifier IR 2110 High Voltage MOS Gate Driver Data Sheets.

- [27] Siemens - "SIPMOS Components - Data Book 1987/1988".
- [28] National Semiconductor - "Linear Data Book", 1982.
- [29] Texas Instruments - "The TTL Data Book - Vol. 2", 1985.
- [30] Motorola Semiconductors - "Rectifiers and Zeners Diodes Data Book", 1988.
- [31] Ibrap - "Transistores - Dados e Curvas para Projetos", 1974.
- [32] National Semiconductor - "MOS Memory Data Book", 1984.
- [33] National Semiconductor - "Linear Applications Handbook", 1986.

ANEXO 1

PROGRAMA PARA GERAÇÃO DOS ÁBACOS DE DIMENSIONAMENTO DAS CORRENTES NAS CHAVES PRINCIPAIS

\$LARGE

```

PROGRAM PWM
REAL Y(1001,4),A(3000,20),FR,T,PER,H,PI,PAR(100,20),IEF
REAL PARG(100,20),VI,R0,L0,Z(3000,20),O(3000,20),C,D,VEF
REAL E,F,G,U,Q,R,ITEF(20),ITMED(20),IDEF(20),IDMED(20)
INTEGER*2 NCLE,NCOU,NPT,NDEL,NTOT,N,J,I,NHAR,K,NCOF,NP,L
CHARACTER RESP*1,NOME(16)*1,NAME1*16,NAME*16
EQUIVALENCE (NOME(1),NAME))
PARAMETER(PI=3.141592654)
NPT=1001
NTOT=NPT
NCLE=1
5 WRITE(*,1000)
WRITE(*,*) 'PROGRAMA PARA CALCULO DOS VALORES MEDIOS'
WRITE(*,*) ' E EFICAZES DAS CORRENTES NOS SEMICONDUTORES'
WRITE(*,*) ' DE UM INVERSOR PARA UMA MODULAÇÃO PWM SENOIDAL'
WRITE(*,1000)
WRITE(*,1010) 'ARQUIVO QUE CONTEM OS PADROES DE MODULAÇÃO =?',
READ(*,'A') NAME1
WRITE(*,1010) 'NO. DE COEFICIENTES (AN) =?'
READ(*,*) NCOF
WRITE(*,1010) 'QUAL A FREQUENCIA DA FUNDAMENTAL =?'
READ(*,*) FR
WRITE(*,1010) 'NUMERO DE PERIODOS =?'
READ(*,*) NP
WRITE(*,1000)
WRITE(*,1010) 'TENSÃO DE ENTRADA DO INVERSOR =?'
READ(*,*) VI
WRITE(*,1000)
WRITE(*,*) 'ENTRADA DOS PARAMETROS DE CARGA'
WRITE(*,1020)
WRITE(*,1010) 'VALOR DA INDUTANCIA DE CARGA (LO)=>'
READ(*,*) L0
WRITE(*,1010) 'VALOR DA RESISTENCIA DE CARGA (RO)=>'
READ(*,*) R0
WRITE(*,1010) 'NO. DE MODULACOES IMPLANTADAS =?'

```

```

READ(*,*) NM
DO 6 L=1,NM
WRITE(*,1020)
WRITE(*,*) 'MODULACAO NO.',L
WRITE(*,1010) 'NO. DE HARMONICAS ELIMINADAS =?'
6 READ(*,*) NHAR(L)
DO 35 L=1,NM
NAME=NAME1
NH1=NHAR(L)/10
NH2=NHAR(L)-NH1*10
DO 10 J=16,1,-1
  IF(NOME(J).NE.' ') THEN
    NOME(J+1)=CHAR(NH1+48)
    NOME(J+2)=CHAR(NH2+48)
    GOTO 15
  END IF
10 CONTINUE
15 CALL ABRE1(NAME,NHAR,PARG,L)
DO 30 J=1,NHAR(L)
  PAR(J,L)=(PARG(J,L)*PI)/180.
30 CONTINUE
DO 130 L=1,NM
DO 130 J=1,NCOF
  I=2*J-1
  Z(J,L)=SQRT(R0**2+(2*PI*I*FR*L0)**2)
  O(J,L)=ATAN((2*PI*I*FR*L0)/R0)
DO 140 K=1,NHAR(L)
  A(J,L)=A(J,L)+((-1)**K)*COS(I*PAR(K,L))
140 CONTINUE
  A(J,L)=(4/(I*PI))*(1+2*A(J,L))
130 CONTINUE
T=0.
C=0.
D=0.
E=0.
F=0.
G=0.
U=0.
Q=0.
R=0.
PER=1/FR
H=NP*PER/(NPT-1)
DO 150 J=1,NPT
DO 160 K=1,NCOF

```

```

      I=2*K-1
      Y(J,1)=Y(J,1)+VI*A(K)*SIN(2*PI*I*FR*T)
      Y(J,2)=Y(J,2)+VI*A(K)*SIN(2*PI*I*FR*T-O(K))/Z(K)
160  CONTINUE
      Y(J,3)=0.5*(Y(J,2)+ABS(Y(J,2)))
      Y(J,3)=Y(J,3)*(VI+Y(J,1))/(2*VI)
      Y(J,4)=0.5*(Y(J,2)+ABS(Y(J,2)))
      Y(J,4)=Y(J,3)*(VI-Y(J,1))/(2*VI)
      T=T+H
      IF(J.EQ.1.OR.J.EQ.NPT) GOTO 150
      IF(J-INT(J/2)*2.EQ.0) THEN
        D=D+Y(J,3)**2
        E=E+Y(J,3)
        G=G+Y(J,4)**2
        Q=Q+Y(J,4)
      ELSE
        C=C+Y(J,3)**2
        F=F+Y(J,3)
        U=U+Y(J,4)**2
        R=R+Y(J,4)
      END IF
150  CONTINUE
      ITEF(L)=(H/3)*(Y(1,3)**2+2*C+4*D+Y(NPT,3)**2)
      ITEF(L)=SQRT((1/PER)*(ITEF(L)))
      ITMED(L)=(H/3)*(Y(1,3)+2*F+4*E+Y(NPT,3))
      ITMED(L)=ITMED(L)/PER
      IDEF(L)=(H/3)*(Y(1,4)**2+2*U+4*G+Y(NPT,4)**2)
      IDEF(L)=SQRT((1/PER)*(IDEF(L)))
      IDMED(L)=(H/3)*(Y(1,4)+2*R+4*Q+Y(NPT,4))
      IDMED(L)=IDMED(L)/PER
      WRITE(*,*) 'CORRENTE EFICAZ NO TRANSISTOR =',ITEF(L)
      WRITE(*,*) 'CORRENTE MEDIA NO TRANSISTOR =',ITMED(L)
      WRITE(*,*) 'CORRENTE EFICAZ NO DIODO =',IDEF(L)
      WRITE(*,*) 'CORRENTE MEDIA NO DIODO = ',IDMED(L)
35  CONTINUE
      CALL ABRE(1,NM,NHAR,ITEF)
      CALL ABRE(1,NM,NHAR,ITMED)
      CALL ABRE(1,NM,NHAR,IDEF)
      CALL ABRE(1,NM,NHAR,IDMED)
      STOP
1000 FORMAT(1X,5(/))
1010 FORMAT(1X,A\ )
1020 FORMAT(1X,2(/))
1030 FORMAT(1X,A,I3,A\ )

```

```

1040 FORMAT(1X,4(3X,'A(',I3,')=' ,F12.7))
1050 FORMAT(1X,4(3X,'A(',I3,')=' ,F12.7))
1060 FORMAT('+',A,I4,5X,A,I3)
      END

      SUBROUTINE ABRE (NCOU,NPT,X,Y)
      CHARACTER NAME*16,NAME1(16)*1,PERG
      INTEGER*2 NCLE,NCOU,NPT,NDEL,NTOT,J,ERR
      REAL X(20),Y(20)
      LOGICAL COND
      EQUIVALENCE (NAME,NAME1(1))
      DATA NCLE/0/
      NTOT=NPT
      NDEL=1
5      WRITE(*,100) 'NOME DO ARQUIVO DE PONTOS [.DES] =?'
      READ(*,120) NAME
      DO 10 J=16,1,-1
        IF (NAME1(J).NE.' ') THEN
          NAME1(J+1)='.'
          NAME1(J+2)='D'
          NAME1(J+3)='E'
          NAME1(J+4)='S'
          GOTO 15
        END IF
10     CONTINUE
15     INQUIRE (FILE=NAME,EXIST=COND)
      IF (COND) THEN
        WRITE(*,100) '**** ARQUIVO JA EXISTENTE ****'
20     WRITE(*,100) 'SOBREPOR (S/N) ?'
        READ(*,120) PERG
        CALL UPCASE (PERG)
        IF (PERG.NE.'S'.AND.PERG.NE.'N') GO TO 20
        IF (PERG.EQ.'N') GO TO 5
        OPEN(UNIT=9,FILE=NAME,STATUS='OLD')
        CLOSE(UNIT=9,STATUS='DELETE')
      END IF
      OPEN (UNIT=9,FILE=NAME,STATUS='NEW',ERR=30,IOSTAT=ERR,ACCESS=
* 'DIRECT',RECL=4*NTOT)
      GO TO 40
30     WRITE(*,110) '** ERRO NA ABERTURA DE ARQUIVO. IOSTAT =',ERR
      STOP
40     WRITE(9,REC=1) NCLE,NCOU,NPT,NDEL,NTOT,X(NPT)
      WRITE(9,REC=2) (X(J),J=1,NPT)
      WRITE(9,REC=3) (Y(J),J=1,NPT)

```

```

        CLOSE(9)
100  FORMAT (//,1X,A\ )
110  FORMAT (//,1X,A,I2)
120  FORMAT (16A)
        RETURN
        END

        SUBROUTINE ABRE1 (NAME,NHAR,PARG,L)
        CHARACTER NAME*16,NAME1(16)*1,PERG
        INTEGER*2 J,ERR
        REAL PARG(20)
        EQUIVALENCE (NAME,NAME1(1))
        DATA NCLE/0/
        DO 10 J=16,1,-1
            IF (NAME1(J).NE.' ') THEN
                NAME1(J+1)='.'
                NAME1(J+2)='C'
                NAME1(J+3)='O'
                NAME1(J+4)='M'
                GOTO 15
            END IF
10      CONTINUE
15      OPEN (UNIT=9,FILE=NAME,STATUS='OLD',ERR=30,IOSTAT=ERR,ACCESS=
        * 'DIRECT',RECL=1440)
        GO TO 40
30      WRITE(*,110) '** ERRO NA ABERTURA DE ARQUIVO. IOSTAT =',ERR
        STOP
40      READ(9,REC=1) (PARG(J),J=1,NHAR(L))
        CLOSE(9)
100  FORMAT (//,1X,A\ )
110  FORMAT (//,1X,A,I2)
120  FORMAT (16A)
        RETURN
        END

```